

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

특 2000-0026901

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G02F 1/136	(11) 공개번호 (43) 공개일자	특2000-0026901 2000년05월25일
(21) 출원번호	10-1999-0043235	
(22) 출원일자	1999년10월07일	
(30) 우선권주장	98-285476 1998년10월07일 일본(JP)	
(71) 출원인	소니 가부시끼 가이샤 이데이 노부유키	
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 아미나카히데오	
(74) 대리인	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 소니 가부시끼 가이샤 내 야모토 히사요시 일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 소니 가부시끼 가이샤 내 사토 유이치 일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 소니 가부시끼 가이샤 내 야기 하지메 일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 소니 가부시끼 가이샤 내 박종길, 김재만	

심사청구 : 없음

(54) 전기 광학 장치, 전기 광학 장치용 구동 기관 및 이들의 제조 방법

요약

본 발명은 높은 전자/정공 이동도의 단결정 실리콘 박막을 비교적 저온에서 또한 균일하게 형성하여 고효율 드라이버를 내장한 액티브 매트릭스 기관과, 이것을 사용한 표시용 박막 반도체 장치 등의 전기 광학 장치의 제조를 가능하게 하고, 높은 스위칭 특성과 낮은 리크 전류를 가지는 LDO 구조를 가지는 nMOS 또는 pMOSTFT를 이루어지는 표시부와, 높은 구동 능력을 가지는 CMOS 또는 nMOS 또는 pMOSTFT 또는 이들의 조합으로 이루어지는 주변 구동 회로를 일체화한 구성을 가능하게 하여 고효율, 고정세, 좁은 프레임 에지, 고효율, 큰 화면의 표시 패널을 실현할 수 있고, 또한 액정이 비교적 낮은 대형 유리 기판에 라디칼 조정이 용이하여 저저항화에 의한 고속 동작을 가능하게 한다. 기관(1)에 형성한 결정성 사파이어 박(50)을 시드라 하여 흑색 CVD법 등에 의하여 단결정 실리콘을 헥테르에피택셜 성장시키고, 얻어지는 단결정 실리콘층(7)을 표시부와 주변 구동 회로 일체형의 LCD 등의 전기 광학 장치의 듀얼 게이트형 MOSTFT로 사용한다.

도표도

도2

색인어

헥테르에피택셜, 전기광학, 전기, 광학, LCD, 트랜지스터

영세서

도면의 간단한 설명

도 1 (1) 내지 1 (3)은 본 발명의 제1 실시예에 의한 LCD(액정 표시 장치)의 제조 프로세스를 공정순으로 도시한 단면도.

도 2 (4) 내지 2 (7)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 3 (8) 내지 3 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 4 (11) 내지 4 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 5 (14) 내지 5 (16)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 6 (17) 내지 6 (19)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 7은 상기 LCD의 주요부 단면도.

- 도 8은 상기 LCD의 제조에 사용하는 흑매 CVD 장치의 개략도.
- 도 9 (A) 및 9 (B)는 비정질 기판상의 실리콘 결정의 성장 상황을 설명하기 위한 개략적인 사시도.
- 도 10 (A) 내지 10 (F)는 그래프에피택셜(graphoepitaxial) 성장 기술에서의 각종 단차 형상과 실리콘 성장 결정 방향을 도시한 개략적 단면도.
- 도 11은 본 발명의 제1 실시예에 의한 LCD 전체의 개략적인 레이아웃을 도시한 사시도.
- 도 12는 상기 LCD의 등가 회로도.
- 도 13은 상기 LCD의 개략적인 구성도.
- 도 14 (17) 내지 14 (19)는 본 발명의 제2 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 15는 상기 LCD의 주요부 단면도.
- 도 16 (17) 내지 16 (20)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 17 (A) 내지 17 (C)는 본 발명의 제3 실시예에 의한 LCD의 주요부 단면도.
- 도 18 (1) 내지 18 (3)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 19 (4) 내지 19 (7)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 20 (8) 내지 20 (11)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 21 (12) 내지 21 (15)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 22 (3) 내지 22 (5)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 23 (7) 내지 23 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 24 (11) 내지 24 (14)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 25 (15) 내지 25 (17)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 26 (7) 및 26 (8)은 본 발명의 제4 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 27 (9) 내지 27 (11)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 28 (12) 및 28 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 29 (6) 및 29 (7)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 30 (8) 내지 30 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 31 (11) 내지 31 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 32 (A) 내지 32 (C)는 상기 LCD 제조 시의 주요부 단면도.
- 도 33 (A) 내지 33 (E)는 상기 LCD 제조 시의 주요부 단면도.
- 도 34 (A) 내지 34 (E)는 본 발명의 제5 실시예에 의한 LCD의 각종 TFT를 도시한 평면도 또는 단면도.
- 도 35 (A) 내지 35 (D)는 상기 LCD 제조 시의 각종 TFT를 도시한 단면도.
- 도 36 (A) 및 36 (B)는 상기 LCD의 주요부 단면도.
- 도 37은 본 발명의 제6 실시예에 의한 LCD의 주요부 단면도 또는 평면도.
- 도 38 (A) 및 38 (B)는 상기 LCD의 각종 TFT의 주요부 단면도.
- 도 39는 상기 LCD의 TFT의 등가 회로도.
- 도 40 (A) 및 40 (B)는 발명의 제7 실시예에 의한 LCD의 TFT의 주요부 단면도.
- 도 41 (1) 내지 41 (3)은 본 발명의 제8 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 42 (4) 내지 42 (6)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 43 (7) 내지 43 (9)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 44 (10) 내지 44 (12)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 45 (13) 내지 45 (15)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 46 (16) 내지 46 (18)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 47은 상기 LCD의 주요부 단면도.
- 도 48 (16) 내지 48 (18)은 본 발명의 제9 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 도 49는 상기 LCD의 주요부 단면도.

- 드 50 (15) 내지 50 (18)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 51 (A) 내지 51 (C)는 본 발명의 제10 실시예에 의한 LCD의 주요부 단면도.
- 드 52 (1) 내지 52 (3)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 53 (4) 내지 53 (6)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 54 (7) 내지 54 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 55 (11) 내지 55 (14)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 56 (3) 내지 56 (5)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 57 (6) 내지 57 (9)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 58 (10) 내지 58 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 59 (14) 내지 59 (16)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 60 (6) 및 60 (7)은 본 발명의 제11 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 61 (8) 내지 61 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 62 (11) 및 62 (12)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
- 드 63은 본 발명의 제12 실시예에 의한 LCD의 주요부 단면도 또는 평면도.
- 드 64 (A) 및 64 (B)는 상기 LCD의 각종 TFT의 주요부 단면도.
- 드 65는 본 발명의 제13 실시예에 의한 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 66은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 67은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 68은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 69는 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 70은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 71은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 72는 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 73은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 74 (A) 내지 74 (C)는 본 발명의 제14 실시예에 의한 LCD의 개략적인 레이아웃 도면.
- 드 75는 상기 LCD의 각 부 TFT의 조합을 도시한 도면.
- 드 76은 본 발명의 제15 실시예에 의한 디바이스 개략적인 레이아웃 도면.
- 드 77 (A) 및 77 (B)는 본 발명의 제16 실시예에 의한 RL 및 FED의 주요부 단면도.

<도면의 주요부분에 대한 부호의 설명>

1: 유리(또는 석영) 기판, 4: 단차, 7: 단결정 실리콘층, 9: Mo/Ta 층, 11, 71: 게이트 전극, 12: 게이트 산화막, 14, 17: N형 불순물 미은, 15: LDD부, 18, 19: N⁺형 소스 또는 드레인 영역, 21: P형 불순물 미은, 22, 23: P⁺형 소스 또는 드레인 영역, 25, 36: 절연막, 26, 27, 31, 41: 전극, 28: 평탄화막, 28A: 조면(요철), 29: 산사막(또는 전극), 30: LCD(TFT) 기판, 33, 34: 배향막, 35: 액정, 37, 46: 유리 필터층, 43: 블랙 마스크 층, 50: 결정성 사파이어막, 72: SiN 막, 73: SiO₂ 막, 100: 수소화 규소 가스, 101: 퇴적실, 103: 촉매체, 104: 외부 가열 수단

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기 광학 장치, 전기 광학 장치용 구동 기관 및 이들의 제조 방법에 관한 것으로, 특히 절연 기관상에 헤테로에피택셜 성장(heteroepitaxial growing)시킨 단결정(單結晶) 실리콘층을 불용 영역으로 사용하는 듀얼 게이트형(dual gate type)의 박막 절연 게이트형 전계 효과 트랜지스터(이하, 듀얼 게이트형 MOS-TFT라고 함)와 수동 영역을 가지는 액정 표시 장치 등에 적합한 구조 및 방법에 관한 것이다.

액티브 매트릭스형의 액정 표시 장치로, 아몰퍼스 실리콘을 TFT로 사용한 표시부와 외부 구동 회로용 IC를 가지는 것이나, 고상(固相) 성장법에 의한 다결정(多結晶) 실리콘을 TFT로 사용한 표시부와 구동 회로 일체형(일본국 특개평(特開平) 5-242433호 공보), 엑시머 레이저 어닐링(excimer laser annealing)을 행한 다결정 실리콘을 TFT로 사용한 표시부와 구동 회로 일체형(일본국 특개평 7-131030호 공보) 등이 알려져 있다.

그러나, 상기한 종래의 아몰퍼스 실리콘 TFT는 생산성은 양호하지만, 전자 이동도는 0.5~1.0cm²/V·sec

전술로 낮으므로 p -채널의 MOSTFT(이하, p MOSTFT라고 함)을 만들 수 없다. 따라서, p MOSTFT를 사용한 조동 구동 회로부를 표시부와 동일한 유리 기판상에 형성할 수 없으므로, 드라이버 IC는 외부에 부착되고 TAB 방식 등에 의하여 실장(實裝)되므로 코스트 다운이 어렵다. 또, 이로 인하여 고정세화(高精細化)에는 한계가 있다. 또한, 전자 이동도는 $0.5 \sim 1.0 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 전후로 낮으므로 충분한 온(ON) 전류를 취할 수 없고, 표시부에 사용한 경우 트랜지스터 사이즈가 필연적으로 커져 화소의 높은 개구율(開口率)을 이룰 수 없다.

또, 상기한 종래의 단결정 실리콘 TFT의 전자 이동도는 $70 \sim 100 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 로 고정세화에도 대응할 수 있으므로 최근에는 구동 회로 일체형의 단결정 실리콘 TFT를 사용한 LCD(액정 표시 장치)가 주목받고 있다. 그러나, 15인치 이상의 대형 LCD의 경우에는 단결정 실리콘의 전자 이동도는 $70 \sim 100 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 이므로 구동 능력이 부족하고, 결국 외부에 부착되는 구동 회로용 IC가 필요하게 된다.

또, 고상 성장법에 의하여 형성된 단결정 실리콘을 사용하는 TFT에서는 600°C 이상에서 수십 시간의 어닐링과 약 1000°C 의 열 산화에 의한 게이트 SiO₂의 형성이 필요하므로 반도체 제조 장치를 채용하지 않을 수 없다. 이로 인하여, 웨이퍼 사이즈는 작경 8~12인치에 한정되고, 고내열성이며 고가인 석영 유리의 채용이 부득이하게 되어 코스트 다운이 어렵다. 따라서, EVF나 데이터/AV 프로젝터 용도에 한정되어 있다.

또한, 상기한 종래의 액시터 레이저 어닐링에 의한 단결정 실리콘 TFT에서는 액시터 레이저 출력의 안정성, 생산성, 대형화에 의한 장치 가격의 상승, 수율(yield)/품질 저하 등의 문제가 산재해 있다.

특히 가르 세트 1m의 대형 유리 기판에서는 상기한 문제가 커져 점차 성능/품질 향상과 코스트 다운이 어려워진다.

본 발명이 이루고자하는 기술적 과제

본 발명의 목적은 특히 주변 구동 회로부에서, 높은 전자(電子)/정공(正孔) 이동도의 단결정 실리콘층을 비교적 저온에서 또한 균일하게 형성하여 고성능 드라이버를 내장한 액티브 매트릭스 기판과 이것을 사용하여 표시용 박막 반도체 장치 등의 전기 광학 장치를 가능하게 하고, 높은 스위칭 특성과 낮은 리크 전류를 가지는 LOD(lightly doped drain) 구조의 n -채널의 MOSTFT(이하, n MOSTFT라고 함) 또는 p MOSTFT 또는 높은 구동 능력을 가진 상트형(相補型) 박막 절연 게이트 전계 효과 트랜지스터(이하, c MOSTFT라고 함)를 이루어지는 표시부인, 이 c MOSTFT 또는 n MOSTFT 또는 p MOSTFT 또는 이들의 조합으로 이루어지는 조동 구동 회로를 일체화한 구성을 가능하게 하여 고화질, 고정세, 좁은 프레임 어지, 고평화, 큰 화면의 표시 패널을 실현할 수 있고, 또한 액정(液晶)이 비교적 낮은 대형 유리 기판이라도 사용할 수 있어, 생산성이 높으며 고가의 제조 설비가 불필요하여 코스트 다운이 가능하게 되고, 또한 문턱값 조정이 용이하여 저저항화에 의한 고속 동작과 대면화(大面化)를 가능하게 할 수 있다.

본 발명의 구성 및 작용

즉, 본 발명은 화소 전극(예를 들면 매트릭스형으로 배열된 복수의 화소 전극: 이하 동일함)이 배열된 표시부와, 이 표시부 주변에 배열된 주변 구동 회로부를 제1 기판(즉 구동용 기판, 이하 동일함)상에 가지고, 이 제1 기판과 제2 기판(즉 대향 기판, 이하 동일함) 사이에 액정 등의 소정의 광학 재료를 개재시켜 이루어지는 전기 광학 장치 및 이 전기 광학 장치를 구동 기판에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부가 형성되고,

상기 제1 기판의 상기 한쪽의 면상에 단결정 실리콘과 격자 정합(lattice compatibility)이 양호한 물질층이 형성되고,

상기 물질층 및 상기 게이트부를 포함하는 상기 제1 기판상에 단결정 실리콘층이 형성되고,

상기 단결정 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지는 유열 게이트형의 제1 박막 트랜지스터(특히 MOSTFT:이하 동일함)가 상기 주변 구동 회로부의 최소한 일부를 구성하고 있는

것을 특징으로 하는 전기 광학 장치 및 그 구동 기판에 관한 것이다. 그리고, 본 발명에서 상기 박막 트랜지스터란 전계 효과 트랜지스터(FET)(이것에는 MOS형과 접합형이 있지만, 어느 것이라도 될)와 바이폴라 트랜지스터가 있지만, 본 발명은 어느 트랜지스터에나 적용할 수 있다(이하 동일함).

또, 본 발명은 상기 전기 광학 장치 및 그 구동 기판의 제조 방법에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부를 형성하는 공정과,

상기 제1 기판의 상기 한쪽의 면상에 단결정 실리콘과 격자 정합이 양호한 물질층을 형성하는 공정과,

상기 물질층 및 상기 게이트부를 포함하는 상기 제1 기판상에 촉매 CVD법 또는 고압도 플라스마 CVD법 등에 의하여 상기 물질층을 시드(seed)로 하여 단결정 실리콘층을 헤테로에피택셜 성장시키는 공정과,

상기 단결정 실리콘층에 소정의 처리를 행하여 채널 영역, 소스 영역 및 드레인 영역을 형성하는 공정과, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지고, 상기 주변 구동 회로부의 최소한 일부를 구성하는 유열 게이트형의 제1 박막 트랜지스터를 형성하는 공정

을 가지는 것을 특징으로 하는, 전기 광학 장치의 제조 방법 및 그 구동 기판의 제조 방법도 제공하는 것이다.

본 발명에 의하면, 특히 단결정 실리콘과 격자 정합이 양호한 상기 물질층(예를 들면 결정성 사파이어막)

를 시드로 하여 흑매 CVD법, 고압도 플라즈마 CVD법 등에 의한 헤테로에피택셜 성장으로 단결정 실리콘층을 형성하고, 이 에피택셜 성장층을 매트릭스 기판 등의 구동 기판인 주변 구동 회로의 기판에 게이트층, MOSTFT, 포시부 - 주변 구동 회로 일체형의 LCO 등의 전기 광학 장치의 주변 구동 회로의 기판에 게이트층, MOSTFT 등에 사용하고 있으므로, 다음의 (A)~(H)에 나타난 현저한 작용 효과를 얻을 수 있다.

(A) 단결정 실리콘과 격자 장합이 양호한 물질층(예를 들면 결정성 사파이어막)을 기판상에 형성하고, 그 물질층을 시드로 하여 헤테로에피택셜 성장시킴으로써, $540\text{cm}^2/\text{V} \cdot \text{sec}$ 이상인 높은 전자 이동도의 단결정 실리콘층이 얻어지므로, 고성능 드라이버를 내장한 표시용 박막 반도체 장치 등의 전기 광학 장치의 제조가 가능하게 된다.

(B) 특히, 이 단결정 실리콘층은 종래의 아몰퍼스 실리콘층이나 단결정 실리콘층에 비하여, 단결정 실리콘 기판과 동등한 높은 전자 및 정공 이동도를 나타내므로 이에 따른 단결정 실리콘 듀얼 게이트형 MOSTFT는 높은 스위칭 특성(바람직하게는 전계 강도를 완화하여 저 리드 전극화하는 LDO 구조)을 가지는 nMOS 또는 pMOSTFT 또는 cMOSTFT로 이루어지는 포시부, 높은 구동 능력을 가지는 cMOS 또는 nMOS, pMOS, TFT 또는 이들의 조합으로 이루어지는 주변 구동 회로부를 일체화한 구성이 가능하게 되어 고화질, 고정세, 저전력 프레임 메치, 고호출, 큰 화면의 표시 패널이 실현된다. 특히, 단결정 실리콘으로 LCO를 TFT로, 높은 정공 이동도의 pMOSTFT는 형성하기 어렵지만, 큰 발광에 의한 단결정 실리콘층은 정공으로도 충분히 높은 이동도를 나타내므로 전자와 정공을 각각 단독이나 또는 양쪽을 조합하여 구동하는 주변 구동 회로를 제작할 수 있고, 이것을 nMOS 또는 pMOS 또는 cMOS의 LDO 구조의 포시부용 TFT와 일체화한 패널을 실현할 수 있다. 또, 소형 내지 중형 패널의 경우에는 주변의 한 쌍의 수직 구동 회로의 한쪽을 생략할 수 있는 가능성이 있다.

(C) 특히, 주변 구동 회로에 듀얼 게이트형 MOSTFT를 사용하고 있으므로, 싱글 게이트형의 TFT에 비하여 1.5~2배 높은 구동 능력을 가지는 cMOS, nMOS 또는 pMOS TFT를 구성할 수 있어, 보다 고성능이며 구동 능력이 큰 TFT가 제공되고, 특히 주변 구동 회로의 일부에 큰 구동 능력을 가지는 TFT가 필요한 경우에 적합하게 된다. 예를 들면, 주변의 한 쌍의 수직 구동 회로의 한쪽을 생략할 수 있을 뿐 아니라, 본 발명을 LCD 이외의 전기 광학 장치로서 유기 EL이나 FED 등에 적용하는 경우에 유리하다고 생각된다. 또, 듀얼 게이트 구조는 상하 게이트부의 선택에 의하여 톱 게이트형(top gate type)이나 보텀 게이트형(bottom gate type)으로도 용이하게 변경할 수 있고, 또 상하 게이트부의 어느 하나가 동작이 불가능하게 되어도 다른 한쪽 게이트부를 사용할 수 있다는 것도 이점이다.

(D) 그리고, 상기한 물질층을 헤테로에피택셜 성장의 시드로 사용하고, 또한 이 물질층상에 흑매 CVD법(흑매를 사용한 화학적 기상(氣相) 성장: 기판 온도 $200\sim 800^\circ\text{C}$, 특히, $300\sim 400^\circ\text{C}$) 등의 저온 막 형성 기술로 단결정 실리콘층을 형성할 수 있으므로, 기판상에 저온으로 단결정 실리콘층을 균일하게 형성할 수 있다. 따라서, 액질이 비교적 낮은 유리 기판이나 내열성 유기 기판 등의 입수하기 쉽고 저코스트이며 열성도 양호한 기판을 사용할 수 있고, 또 기판의 대형화도 가능하게 된다.

(E) 고상 성장법의 경우와 같은 중온(中溫)에서 장시간(약 600°C , 실수 시간)의 어닐링이나 액시터 레이저 어닐링이 필요하게 되므로, 생산성이 높으며 고가인 제조 설비가 필요하여 코스트 다운이 가능하게 된다.

(F) 이 헤테로에피택셜 성장에서는 결정성 사파이어막 등의 물질층인 결정성, 흑매 CVD 등의 가스 조성비, 기판 가열 온도, 냉각 속도 등의 조정에 의하여 광범위한 P형 또는 N형 등의 도전형과 고이동도를 가지는 단결정 실리콘층이 용이하게 얻어지므로, V_{th} (문턱값) 조정이 용이하고 저저항화에 의한 고속 동작이 가능하다.

(G) 또, 흑매 CVD 등에 의한 단결정 실리콘의 막 형성 시에 III족 또는 V족의 불소를 원소(元素, 元素, 인, 안티몬, 비소, 비스머스(bismuth), 갈륨(Ga) 등)를 도입 가스로부터 개별적으로 적량(適量) 도입해 두면, 헤테로에피택셜 성장에 의한 단결정 실리콘층의 불순물 종류 및/또는 그 농도, 즉 P형/N형 등의 도전형 및/또는 캐리어 농도를 임의로 제어할 수 있다.

(H) 결정성 사파이어막 등의 상기 물질층은 다양한 원자의 확산 배리어(diffusion barrier)가 되므로 유리 기판으로부터의 불순물의 확산을 억제할 수 있다.

큰 발광에서는 상기 단결정 실리콘에 소정의 처리를 행하여 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부에 게이트부를 가지는 듀얼 게이트형의 제1 박막 트랜지스터가 상기 주변 구동 회로부의 최소한 일부를 구성하는 것이 바람직하다.

그리고, 상기 제1 기판으로 절연 기판이 사용되고, 상기 물질층이 사파이어(Al_2O_3), 스피넬 구조체(spinel structure)(예를 들면 $\text{MgO} \cdot \text{Al}_2\text{O}_3$), 불화 칼슘(CaF_2), 불화 스트론튬(SrF_2), 불화 바륨(BaF_2), 인화 붕소(BP), 산화 이트륨(Y_2O_3) 및 산화 지르코늄(ZrO_2) 등으로 이루어지는 군에서 선택된 물질로 형성되어 있는 것이 바람직하다.

이와 같은 물질층을 시드로 하여, 상기 단결정 실리콘층을 흑매 CVD(기판 온도 약 $200\sim 800^\circ\text{C}$)으로 형성할 수 있다. 기판의 가열은 전기로(電氣爐)나 램프 등을 사용하여 기판 전체를 균일하게 가열하는 방법 이외에, 광 레이저, 전자 빔 등에 의하여 소정의 장소만을 극부적으로 가열하는 방법도 가능하다.

상기 흑매 CVD법에 의한 상기 단결정 실리콘층의 형성에서는, 수소화 규소를 주성분으로 하는 가스를 예를 들면 $800\sim 2000^\circ\text{C}$ (응전 미만)으로 가열된 흑매체에 접촉시켜 분해시키고 상기 기판상에 상기 단결정 실리콘층을 퇴적시킬 수 있다.

이 경우, 상기 수소화 규소로 모노실란(monosilane), 디실란(disilane), 트리실란(trisilane) 및 테트라실란(tetrasilane) 등의 실란계 가스를 사용하고, 상기 흑매체로 텅스텐, 산화 토륨(thorium oxide)을 함유하는 텅스텐, 몰리브덴(molybdenum), 백금, 팔라듐(palladium), 실리콘, 알루미늄(alumina), 금속을 무척한 세라믹스 및 탄소화규소로 이루어지는 그룹에서 선택된 최소한 1종의 재료를 사용할 수도 있다.

본 발명에서는, 기판으로 절연 기판, 특히 액정이 낮은 유리 기판이나 내열성(耐熱性) 유기 기판을 사용하므로 대형 유리 기판(예를 들면 1m 이상)상에 단결정 실리콘층을 만드는 것이 가능하지만, 후에 CVD에서 기판 온도가 상기한 바와 같이 낮으므로, 유리 기판으로 액정이 470~670°C로 낮은 유리를 사용할 수 있다. 이와 같은 기판은 제거하고 박판화가 용이하다. 용융된 긴 유리판을 제작할 수 있다. 이것을 사용하여 용융된 긴 유리판이나 내열성 유기 기판상에 상기 방법에 의하여 헤테로에피택셜 성장에 의한 단결정 실리콘 박막을 연속 또는 비연속으로 제작할 수 있다.

이와 같이, 액정이 낮은 유리의 상층으로는 이 유리 내부로부터 그 구성 원소가 확산되기 쉬우므로, 이것을 억제할 목적으로 확산 배리어층, 예를 들면 실리콘 나이트라이드(이하, SiN 이라고 함) 등의 막(두께 예를 들면 50~200nm 정도)을 형성하는 것이 바람직하다.

상기의 후에 CVD 공정에서, 공급 가스 중에 PH₃나 SiH₄ 등의 도핑 가스를 혼합해 두면 단결정 실리콘층을 n형 또는 p형화하고, nMOSTFT 또는 pMOSTFT를 만들 수 있다. 이로 인하여, cMOSTFT도 만들 수 있게 된다.

이와 같이, 기판상에 헤테로에피택셜 성장한 상기 단결정 실리콘층을 주변 구동 회로의 최소한 일부를 구성하는 듀얼 게이트형 MOSTFT의 채널 영역, 소스 영역 및 드레인 영역에 적용하고, 이들 각 영역의 불순물 종류 및/또는 그 농도를 제어할 수 있다.

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형의 절연 게이트 전계 효과 트랜지스터를 구성하고, 예를 들면 상보형과 n채널형의 조(組), 상보형과 p채널형의 조, 또는 상보형과 n채널형과 p채널형의 조로 이루어질 수도 있다. 또, 상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터의 최소한 일부가 LOD 구조를 가지고 있는 것이 바람직하다. 그리고, LOD 구조는 게이트와 드레인 사이 뿐 아니라, 게이트와 소스 사이, 또는 게이트와 소스 사이 및 게이트와 드레인 사이의 양쪽에 형성할 수도 있다(이것을 더블 LOD라고 함).

특히, 상기 MOSTFT는 표시부에서, nMOS 또는 pMOS 또는 CMOS의 LOD형 TFT를 구성하고, 또 주변 구동 회로부에서는 CMOS 또는 nMOS 또는 pMOS TFT 또는 이들의 조합으로 구성하는 것이 바람직하다.

본 발명에서는, 상기 기판 및/또는 그 위의 막에 단차를 형성하고, 이 단차를 단면(斷面)에서 저면에 대하여 측면이 직각 형상 또는 하단 측으로 바람직하게는 90° 이하의 제각을 이루도록 경사 형상이 되는 것으로 하여, 절연 기판 또는 그 위의 SiN 등의 막(또는 이들 양쪽)에 형성하고, 이 단차를 상기 단결정 실리콘층의 에피택셜 성장시의 시드로서 하는 것이 바람직하다. 이 단차는 상기 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일부를 따라 형성하는 것이 바람직하다. 또, 수동 소자, 예를 들면 저항을 상기 단결정 실리콘층으로 형성하는 경우, 저항이 형성되는 소자 영역의 최소한 일부를 따라 상기 단차가 형성되어 있는 것이 좋다.

이 경우, 상기 기판으로서의 절연 기판상에, 상기 에피택셜 성장의 시드가 되는 상기한 바와 같은 소정 형상의 단차를 소정 위치에 형성하고, 이 단차를 포함하는 상기 절연 기판상에 상기 클질층을 형성할 수 있다.

또는, 상기 클질층에 상기한 동일한 소정 형상의 단차를 형성하고, 이 단차를 포함하는 상기 클질층상에 상기 단결정 실리콘층을 형성할 수 있다.

이러한 경우, 상기 클질층에 대하여, 상기 단차도 시드로서 작용하므로 보다 결정성이 높은 단결정 실리콘층을 형성할 수 있다.

상기 MOSTFT와 같은 제1 박막 트랜지스터를 상기 단차에 의한 기판 요부 내에 형성할 수도 있지만, 요부 일면의 오부 부근 또는 이들 양쪽에서 기판상에 형성할 수도 있다. 상기 단차는 리액티브 이온 에칭 등의 드라이 에칭에 의하여 형성할 수도 있다.

이 경우, 상기 제1 기판의 한쪽의 면상에 상기 단차를 형성하고, 이 단차를 포함하는 상기 기판상에 단결정, 단결정 또는 아몰퍼스 실리콘층을 형성하고 상기 제2 박막 트랜지스터를, 상기 단결정, 단결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 풀 게이트형, 브릿 게이트형 또는 듀얼 게이트형으로 할 수도 있다.

이 경우에도, 단면에서 저면에 대하여 측면이 직각 형상 또는 하단 측으로 바람직하게는 90° 이하의 제각을 이루도록 경사 형상이 되는 것으로 하여 상기한 동일한 상기 단차를 형성하고, 이 단차를 상기 단결정 실리콘층의 에피택셜 성장시의 시드로서 한다.

상기 제2 박막 트랜지스터는 상기 제1 기판 및/또는 그 위의 막에 형성한 상기 단차에 의한 기판 오부 내 및/또는 위에 형성하고, 상기 제1 박막 트랜지스터와 동일하게, 그라프트에피택셜 성장에 의한 단결정 실리콘층을 이용하여 그 소스, 드레인, 채널의 각 영역을 형성할 수도 있다.

이 제2 박막 트랜지스터에서도, 상기한 바와 동일하게 상기 단결정, 단결정 또는 아몰퍼스 실리콘층의 Ⅲ족 또는 Ⅴ족의 불순물 종류 및/또는 그 농도를 제어하거나, 상기 단차를 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일부를 따라 형성할 수도 있다. 또, 상기 단결정, 단결정 또는 아몰퍼스 실리콘층 하의 게이트 전극을 그 측단부(側端部)에서 사다리꼴 형상으로 하는 것이 바람직하다. 상기 제1 기판과 상기 단결정, 단결정 또는 아몰퍼스 실리콘층 사이에 확산 배리어층을 형성할 수도 있다.

상기 제1 및/또는 제2 박막 트랜지스터의 소스 또는 드레인 전극을 상기 단차를 포함하는 영역상에 형성하는 것이 바람직하다.

상기 제1 박막 트랜지스터를, 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 풀 게이트형, 브릿 게이트형 또는 듀얼 게이트형 중에서 선택된 최소한 듀얼 게이트형으로 하고, 또한 표시부에서 화소 전극을 스위칭하는 스위칭 소자를 상기 풀 게이트형, 상기 브릿 게이트형 또는 상기 듀얼 게이트형의 제2 박

막 트랜지스터로 갈 수도 있다.

이 경우, 채널 영역의 하부에 배열된 게이트 전극을 내열성 재료로 형성하거나, 상기 제2 박막 트랜지스터의 상부 게이트 전극과 상기 제1 박막 트랜지스터의 게이트 전극을 공통 재료로 형성할 수도 있다.

상기 주변 구동 회로부에서, 상기 제1 박막 트랜지스터 이외에, 다결정 또는 아몰퍼스 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 록 게이트형, 보틀 게이트형 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 다결정 실리콘층 또는 다결정 실리콘층 또는 아몰퍼스 실리콘층을 사용한 다이오드, 저항, 커패시턴스, 인덕턴스 소자 등을 배열할 수도 있다.

상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터를 싱글 게이트 또는 멀티 게이트로 구성할 수도 있다.

상기 주변 구동 회로부 및/또는 상기 표시부의 n 또는 p채널형의 박막 트랜지스터가 듀얼 게이트형일 때 상부 또는 하부 게이트 전극을 전기적으로 오픈으로 하거나, 또는 임의의 부(負)전압(n채널형의 경우) 또는 정(正)전압(p채널형의 경우)을 인가하고, 보틀 게이트형 또는 록 게이트형의 박막 트랜지스터로서 동작하는 것이 바람직하다.

상기 주변 구동 회로부의 박막 트랜지스터를 n채널형, p채널형 또는 상부형의 상기 제1 박막 트랜지스터로 하고, 상기 표시부의 박막 트랜지스터를, 다결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상부형으로, 다결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상부형으로 하고, 아몰퍼스 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상부형으로 할 수도 있다.

본 발명에서, 상기 다결정 실리콘층의 성장 후 이 다결정 실리콘층상에 게이트 절연막과 게이트 전극으로 이루어지는 상부 게이트부를 형성하고, 이 상부 게이트부를 마스크로 하여 상기 다결정 실리콘층에 π 족 또는 γ 족의 불순물 원소를 도입하여 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역을 형성할 수 있다.

또, 상기 제2 박막 트랜지스터가 보틀 게이트형 또는 듀얼 게이트형일 때는, 상기 채널 영역의 하부에 내열성 재료로 이루어지는 하부 게이트 전극을 배열하고, 이 게이트 전극상에 게이트 절연막을 형성하여 하부 게이트부를 형성한 후, 상기 단차의 형성 공정을 포함하여 상기 제1 박막 트랜지스터와 공통의 공정을 거쳐 상기 제2 박막 트랜지스터를 형성할 수 있다. 이 경우, 상기 제2 박막 트랜지스터의 상부 게이트 전극과 상기 제1 박막 트랜지스터의 게이트 전극을 공통의 재료로 형성할 수 있다.

또, 상기 하부 게이트부상에 상기 다결정 실리콘층을 형성한 후, 이 다결정 실리콘층에 π 족 또는 γ 족의 불순물 원소를 도입하고, 소스 및 드레인 영역을 형성한 후에 활성화 처리를 행할 수 있다.

또, 상기 다결정 실리콘층의 형성 후에 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 불순물 원소의 이온 주입으로 형성하고, 이 이온 주입 후에 상기 활성화 처리를 행하고, 게이트 절연막의 형성 후에 상기 제1 박막 트랜지스터의 상부 게이트 전극과, 필요한 상기 제2 박막 트랜지스터의 상부 게이트 전극을 형성할 수도 있다.

상기 제2 박막 트랜지스터가 록 게이트형 일 때, 상기 다결정 실리콘층의 형성 후에 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 불순물 원소의 이온 주입으로 형성하고, 이 이온 주입 후에 활성화 처리를 행하고, 그 후에 상기 제1 및 제2 박막 트랜지스터의 게이트 절연막과 게이트 전극으로 이루어지는 각 게이트부를 형성할 수 있다.

또는, 상기 제2 박막 트랜지스터가 록 게이트형 일 때, 상기 다결정 실리콘층의 형성 후에 상기 제1 및 제2 박막 트랜지스터의 각 게이트 절연막과 내열성 재료로 이루어지는 각 게이트 전극을 형성하여 각 게이트부를 형성하고, 이들의 게이트부 및 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 불순물 원소의 이온 주입으로 형성하고, 이 이온 주입 후에 활성화 처리를 행할 수도 있다.

또, 상기 LDD 구조를 형성할 때 사용한 레지스트 마스크를 남기고 이것을 덮는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 이온 주입을 행할 수 있다.

또, 상기 기판을 광학적으로 투명 또는 투과성으로 하고, 반사형 또는 투과형의 표시부용 화소 전극을 배열할 수도 있다.

상기 표시부가 상기 화소 전극과 칼라 필터층의 적층 구조를 가지고 있으면 표시 어레이부상에 칼라 필터를 만들어 넣음으로써, 표시 패널의 개구율, 휘도 등의 개선을 비롯하여, 칼라 필터 기판의 생략, 생산성 개선 등에 의한 코스트 다운이 실현된다.

이 경우, 상기 화소 전극이 반사 전극일 때는 수직막에 최적의 반사 특성과 시야각 특성을 얻기 위한 오차를 형성하고, 이 위에 화소 전극을 배열하고, 또 상기 화소 전극이 투명 전극일 때는 투명 평탄화막에 의하여 표면을 평탄화하고, 이 평탄화막상에 화소 전극을 배열하는 것이 바람직하다.

상기 표시부는 상기 MOS TFT에 의한 구동으로 발광 또는 조광(調光)을 행하도록 구성하고, 예를 들면 액상 표시 장치(LCD), 일렉트로루미네센스(electroluminescence) 표시 장치(EL) 또는 전계 발광형 표시 장치(FED), 발광 폴리머 표시 장치(LEPD), 발광 다이오드 표시 장치(LED) 등으로 구성할 수도 있다. 이 경우, 상기 표시부에 복수의 상기 화소 전극을 매트릭스형으로 배열하고, 이를 화소 전극 각각에 상기 스위칭 소자를 접속할 수도 있다.

다음에, 본 발명을 바람직한 실시예에 따라 더 상세하게 설명한다.

〈제1 실시예〉

도 1 내지 13은 본 발명의 제1 실시예를 도시한 것이다.

본 실시예는 내열성 기판에 형성한 전술한 단차(오부)를 포함하는 연상에, 전술한 물질층(예를 들면 단결

정 사파이어막)을 형성하고, 이 물질층을 시드르 하여 촉매 CVD법에 의하여 단결정 실리콘층을 게이트에 피택설 성장시키고, 이것을 사공하여 듀얼 게이트형 MOSTFT를 주변 구동 회로부로 구성한 액티브 매트릭스 반도체 액정 표시 장치(LCD)에 관한 것이다. 먼저, 이 반도체 LCD의 전체 레이아웃을 도 1 내지 13을 참조하여 설명한다.

도 1에 도시한 바와 같이, 이 액티브 매트릭스 반도체 LCD는 주기판(基板)(1)(이것은 액티브 매트릭스 기판을 구성함)과 대향 기판(32)을 스페이서(미도시)를 개재하여 접합한 패널 구조로 이루어지고, 양 기판(1-32) 사이에 액정(여기에서는 미도시)이 실링(sealing)되어 있다. 주기판(1)의 표면에는 매트릭스형으로 배열한 화소 전극(29 (또는 41))과, 이 화소 전극을 구동하는 스위칭 소자가 이루어지는 표시부 및 이 표시부에 접속되는 주변 구동 회로부가 배열되어 있다.

표시부의 스위칭 소자는 풀 발명에 의한 nMOS 또는 pMOS 또는 CMOS의 LCD 구조의 풀 게이트형 MOSTFT로 구성된다. 또, 주변 구동 회로부에도 회로 요소로서 풀 발명에 의한 듀얼 게이트형 MOSTFT의 CMOS 또는 nMOS 또는 pMOSTFT 또는 이들의 조합이 형성되어 있다. 그리고, 한쪽의 주변 구동 회로부는 데이터 신호를 공급하여 각 화소의 TFT를 수평 라인마다 구동하는 수평 구동 회로이고, 또 다른 쪽의 주변 구동 회로부는 각 화소의 TFT의 게이트를 주사(走査) 라인마다 구동하는 수직 구동 회로이며, 통상은 표시부의 양 면에 각각 배열된다. 이들 구동 회로는 점(點) 순차 마달로그 방식, 선(線) 순차 디지털 방식 어느 것이든 구성할 수 있다.

도 12에 도시한 바와 같이, 직교하는 게이트 버스 라인과 데이터 버스 라인의 교차부에 상기 TFT가 배치되고, 이 TFT를 통하여 액정 용량(C_L)에 화상 정전을 기입하고, 다음 정전기가 올 때까지 전하를 유지한다. 이 경우, TFT의 채널 저항만으로 유지시키기에는 충분하지 않으므로, 이를 보상하기 위하여 액정 용량과 병렬로 축적 용량(보조 용량)(C_s)을 부가하고, 리크 전류에 의한 액정 전압의 저하를 보상할 수 있다. 이러한 LCD용 TFT에서는 화소부(표시부)로 사용하는 TFT의 특성과 주변 구동 회로에 사용하는 TFT의 특성에서는 요구 성능이 상이하고, 특히 화소부의 TFT에서는 오프 전류의 제어, 온 전류의 확보가 중요한 문제가 된다. 이로 인하여, 표시부에는 축적하는 바와 같은 LCD 구조의 TFT를 배열함으로써 게이트와 드레인 간에 전계가 걸리기 어려운 구조로 만들어 채널 영역에 걸리는 실질적인 전계를 저감시키고, 오프 전류를 저감시키고, 특성의 변화도 작게 할 수 있다. 그러나, 프로세스적으로는 복잡하게 되고 소자 사이즈도 커지며 또한 온 전류가 저하되는 등의 문제도 발생하므로 각각의 사용 목적에 맞춘 최적 설계가 필요하다.

그리고, 사용 가능한 액정으로는, TN 액정(액티브 매트릭스 구동의 TN 모드에 사용되는 네마틱 액정(nematic crystal))을 비롯하여, STN(슈퍼 트위스티드 네마틱(super twisted nematic)), GH(게스트 호스트(guest host)), PC(페이즈 체인지(phase change)), FLC(강유전성 액정(ferroelectric liquid crystal)), AFLC(반강유전성 액정(antiferroelectric liquid crystal)), POLC(폴리머 분산형 액정(polymer dispersed type liquid crystal)) 등의 각종 모드용의 액정을 채용할 수 있다.

또, 도 13에 대하여 주변 구동 회로의 회로 방식과 그 구동 방법을 개략적으로 설명한다. 구동 회로는 게이트측 구동 회로와 데이터측 구동 회로로 나뉘고, 게이트측, 데이터측 모두 시프트 레지스터를 구성할 필요가 있다. 시프트 레지스터는 일반적으로 pMOSTFT와 nMOSTFT 양측을 사용한 것(이른바 CMOS 회로)이나 어느 한쪽의 MOSTFT만을 사용한 것을 있지만, 동작 속도, 신뢰성, 저소비전력 면에서 CMOS 회로는 CMOS 회로가 일반적이다.

주사측 구동 회로는 시프트 레지스터와 버퍼로 구성되어 있고, 수평 주사 기간과 동기(同期)한 펄스를 시프트 레지스터로부터 각 라인에 보낸다. 한편, 데이터측 구동 회로는 점 순차 방식과 선 순차 방식의 2가지의 구동 방법이 있고, 도시한 점 순차 방식에서는 회로의 구성이 비교적 간단하여, 표시 신호를 마달로그 스위치를 통하여 시프트 레지스터 제어하면서 작질 각 화소에 기입한다. 각 화소에 1수평 주사 시간 내에 순차 기입한다(드레인에서 R, G, B는 각 색마다 화소를 개략적으로 도시함).

다음에, 도 1 내지 13을 참조하여 풀 실시예에 의한 액티브 매트릭스 반도체 LCD를 그 제조 공정에 따라 설명한다. 단, 도 1 내지 6에서 각 도면의 좌측은 표시부의 제조 공정, 우측은 주변 구동 회로부의 제조 공정을 나타낸다.

먼저, 도 1 (1)에 도시한 바와 같이, 불규산 유리, 석영 유리, 투명성 결정화 유리 등의 절연 기판(1)의 1면에 플리덴/탄탈(Mo/Ta) 합금의 스퍼터 막(71)(두께 500~600nm)을 형성한다.

이어서, 도 1 (2)에 도시한 바와 같이, 포토레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo/Ta 막(71)을 레이저 에칭하여 촉대부(71a)가 사다리꼴 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 1 (3)에 도시한 바와 같이, 포토레지스트(70) 제거 후에 플리덴-탄탈 합금막(71)을 포함하는 기판(1)상에 클라즈마 CVD법 등에 의하여 SiN 막(두께 약 100nm)(72)과 SiO_2 막(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 2 (4)에 도시한 바와 같이, 최소한 TFT 형성 영역에 포토레지스트(2)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 예를 들면 CF, 클라즈마의 F⁺ 이온(3)을 조사하고, 리액티브 이온 에칭(RIE) 등의 불을 포토리소그래피(photolithography) 및 에칭(포토에칭(photoetching))에 의하여 게이트 절연막에(절연 기판(1)에도) 단차(4)를 적당한 형상 및 치수로 복수 개 형성한다.

이 경우, 절연 기판(1)으로 석영 유리, 투명성 결정화 유리, 세라믹 등(단, 흡수하는 루파형 LCD에서는 불투명 세라믹 기판이다. 저투명성 결정화 유리는 사용할 수 없음)의 고내열성(高耐熱性) 기판(직경 3~12인치, 두께 700~800 μ m)이 사용 가능하다. 또, 단차(4)는 결정성 사파이어막(50)과 함께 흡수하는 단결정 실리콘의 게이트에 피택설 성장 시드가 되는 것으로, 길이(d) 0.3~0.4 μ m, 폭(w) 2~10 μ m, 깊이(h) 10~20 μ m가 될 수 있으며, 저면과 측면이 이루는 각(저각)은 직각으로 한다. 그리고, 기판(1)의 표면에는 유리 기판으로부터의 Na 이온 등의 확산 방지를 위하여 SiN 막(예를 들면 두

대 50~200nm)과 필요에 따라 실린 산화막(이후, SiO₂ 막이라고 함)(예를 들면 두께 약 100nm)을 미리 연속 형성할 수도 있다.

이어서, 도 2 (5)에 도시한 바와 같이, 포트리저스트(2)의 제거 후에, 절연 기판(1)의 1주면에서 단차(4)를 포함하는 최소한 TFT 형성 영역에, 결정성 사파이어막(두께 20~200nm)(50)을 형성한다. 이 결정성 사파이어막(50)은 고밀도 플라스마 CVD법이나, 촉매 CVD법(일본국 특개소(特開昭) 53-40314호 공보 참조) 등에 의하여 트리메틸알루미늄(trimethylaluminum) 가스 등을 산화성 가스(산소·수분)로 산화하고 결정화시켜 만든다. 절연 기판(1)으로 고내열성 유리 기판(직경 8~12인치, 두께 700~800 μ m)이 사용 가능하다.

이어서, 도 2 (6)에 도시한 바와 같이, 일본국 특개소 53-40314호 공보 중에도 개시되어 있는 촉매 CVD법(기판 온도 200~800°C)에 의하여 단차(4)를 포함하는 전체면에 단결정 실리콘막(7)을 μ m \sim 0.005 μ m(예를 들면 0.1 μ m)의 두께로 헤테르에피택셜 성장시킨다. 이때, 기판의 게이트 전극(71)의 측면부(71a)는 갈만한 경사면이 되어 있으므로, 이 연상에는 단차(4)에 의한 에피택셜 성장을 저해하지 않고 단이 끊어질 것이 단결정 실리콘층(7)이 성장하게 된다. 기판(1)이 불규산 유리의 경우에는 기판 온도를 200~600°C로 하고, 석영 유리나 결정화 유리, 세라믹 기판의 경우에는 기판 온도를 600~800°C로 한다.

이 경우, 촉매 CVD는 도 8에 도시한 장치를 사용하여 행할 수도 있다. 이 촉매 CVD 장치에 의하면 수소화 규소(예를 들면 모노실란 또는 디실란) 가스(100)(및 필요에 따라 9%이나 PH₃, AsH₃ 등의 도핑 가스)는 공급 도관으로부터 퇴적실(101)로 도입된다. 퇴적실(101)의 내부에는 기판(1)을 지지하기 위한 섀셔(susceptor)(102)와, 이 섀셔에 대한 배치된 코일형의 촉매체(103)가 각각 배치되어 있다. 그리고, 기판(1)은 외부 가열 수단(104)(예를 들면 전열(電熱) 수단)으로 가열되고, 또 촉매체(103)는 예를 들면 저항선(抵抗線)으로서 용접 이하(이하 800~2000°C, 텅스텐의 경우에는 1700°C)로 가열하여 결정화된다.

그리고, 퇴적실(101) 내에서는 분위기를 질소로부터 수소로 환기(약 15~20분)한 후 약 200~800°C로 온도를 올리고, 실란 가스가 촉매체(103)와 접촉하여 촉매적으로 분해하고, 저온(예를 들면 300°C)으로 유지된 기판(1)상에 퇴적한다. 퇴적 시간은 성장시키는 에피택셜 성장층 두께로부터 구하고, 또 성장 종점 후에는 온도를 낮추고, 수소를 질소로 환기하고 기판(1)을 인출한다. 이렇게 하여 촉매체(103)에 의한 촉매 반응 또는 열 분해 반응에 의하여 높은 에너지를 가지는 실린 원자 또는 원자의 집단을 형성하고, 또한 시드가 되는 단차(4)상에 퇴적시키므로, 통상의 열 또는 플라스마 CVD법에서의 퇴적 가능 온도보다 현저하게 낮은 저온 영역에서 단결정 실리콘층을 퇴적시킬 수 있다.

그리고, 기판(1)의 가열은 전기를 등을 사용하여 기판 전체를 균일하게 가열하는 방법 이외에, 광 레이저, 전자 빔 등에 의하여 소정의 장소만, 예를 들면 TFT 형성 영역만을 극부적으로 가열하는 방법도 가능하다.

상기한 바와 같이 하여 퇴적된 단결정 실리콘층(7)은 결정성 사파이어막(50) 이 단결정 실리콘과 양호한 격자 정합을 나타내므로, 예를 들면 (100)면이 기판상에 헤테르에피택셜 성장된다. 이 경우, 단차(4)도 그라프에피택셜 성장이라고 하는 공지된 현상을 가미한 헤테르에피택셜 성장에 기여하여 크다. 결정성이 높은 단결정 실리콘층(7)이 얻어진다. 이에 대해서는, 도 3에 도시한 바와 같이 비정질 기판(유리)(1)에 상기의 단차(4)와 같은 수직 벽을 만들고, 이 위에 에피택셜 층을 형성하면, 도 9 (A)와 같은 편평한 면 방위(方位)였던 것이 도 9 (B)와 같이 (100)면이 단차(4)의 면을 따라 결정 성장한다. 이 결정 성장 입자의 크기는 온도·시간에 비례하여 커지지만, 온도·시간을 낮고 짧게 할 때는 상기 단차의 간격을 좁게 해야 한다. 또, 상기 단차의 형상을 도 10 (A)~(F)와 같이 여러 가지로 변화시킬으로써 성장층의 결정 방위를 제어할 수 있다. MOS 트랜지스터를 만드는 경우에는 (100)면이 가장 많이 채용되고 있다. 요컨대, 단차(4)의 단면 형상은 제1 각부(角部)의 각도(저각)가 직각을 비롯하여, 상단(上端)으로부터 하단에 걸쳐 내향 또는 외향으로 증사져 있을 수도 있고, 결정 성장이 생기기 쉬운 특정 방향의 (100)을 가지고 있을 수도 있다. 단차(4)의 저각은 통상 직각 또는 90. 이하가 바람직하고, 그 저면의 각부는 약간의 곡률을 가지고 있는 것이 바람직하다.

이렇게 하여, 촉매 CVD법과 헤테르에피택셜 성장에 의하여 기판(1)상에 단결정 실리콘층(7)을 석출(析出)시킨 후, 단결정 실리콘층(7)을 채널 영역으로 하는 규질 게이트형 MOSTFT를 주변 구동 회로부에, 플러그이트형 MOSTFT를 표시부에 각각 제작한다.

먼저, 상기의 에피택셜 성장에 의한 단결정 실리콘층(7)의 불순물 농도는 불균일하므로, 전체면에 P형 캐리어 불순물, 예를 들면 붕소 이온을 적량 도핑하여 비저항(比抵抗)을 조정한다. 또, pMOSTFT 형성 영역만, 선택적으로 N형 캐리어 불순물을 도핑하여 N형 웰(well)을 형성한다. 예를 들면, p채널 TFT부를 포트리저스트(미도시)로 마스크하고 P형 불순물 이온(예를 들면 B⁺)을 10kV에서 2.7×10^{11} atoms/ μ m²의 도즈량(dose)으로 도핑하여 비저항을 조정한다. 또, 도 2 (7)에 도시한 바와 같이, pMOSTFT 형성 영역의 불순물 농도 제어를 위하여 nMOSTFT부를 포트리저스트(50)로 마스크하고 N형 불순물 이온(예를 들면 P⁻)(65)을 10kV에서 1×10^{11} atoms/ μ m²의 도즈량으로 도핑하여 N형 웰(7A)을 형성한다.

이어서, 도 3 (8)에 도시한 바와 같이, 단결정 실리콘층(7)의 전체면상에 플라스마 CVD, 고밀도 플라스마 CVD, 촉매 CVD법 등으로 SiO₂(두께 약 200nm)와 SiN(두께 약 100nm)을 이 순서로 연속 형성하여 게이트 절연막(8)을 형성하고, 또한 폴리덴-타탈(Mo/Ta) 합금의 스퍼터 막(9)(두께 500~600nm)을 형성한다.

이어서, 도 3 (9)에 도시한 바와 같이, 범용의 포트리저스트레퍼 기술에 의하여, 표시 영역의 TFT부의 단차 영역(요부) 내와 주변 구동 영역의 TFT부의 단차 영역(요부) 위에 각각 포트리저스트 패턴(10)을 형성하고, 연속된 에칭에 의하여 (Mo/Ta) 합금의 게이트 전극(11)과 게이트 절연막(SiN/SiO₂)(12)을 형성하여, 단결정 실리콘층(7)을 노출시킨다. (Mo/Ta) 합금막(9)은 산계(酸系) 에칭액, SiN은 CF₄ 가스의 플라스마 에칭, SiO₂는 불산계 에칭액으로 처리한다.

이어서, 도 3 (10)에 도시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOSTFT 전부와 표시 영역의 nMOSTFT의 게이트부를 포트리저스트(13)로 커버하고, 노출된 nMOSTFT의 소스/드레인 영역에 인 미온(14)을 예를 들면 20kV에서 5×10^{16} atoms/cm²의 도즈량으로 도핑(이온 주입)하여 N⁺형 층으로 이루어지는 LDD부(15)를 자기정합적(셀프알라인먼트(self-alignment))으로 형성한다.

이어서, 도 4 (11)에 도시한 바와 같이, 주변 구동 영역의 pMOSTFT 전부와 주변 구동 영역의 nMOSTFT의 게이트부와 표시 영역의 nMOSTFT의 게이트 및 LDD부를 포트리저스트(15)로 커버하고, 노출된 영역에 인 또는 비소 미온(17)을 예를 들면 20kV에서 5×10^{16} atoms/cm²의 도즈량으로 도핑(이온 주입)하여 nMOSTFT의 N⁺형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LDD부(15)를 형성한다.

이어서, 도 4 (12)에 도시한 바와 같이, 주변 구동 영역의 nMOSTFT 및 표시 영역의 nMOSTFT 전부와 pMOSTFT의 게이트부를 포트리저스트(20)로 커버하고, 노출된 영역에 붕소 미온(21)을 예를 들면 10kV에서 5×10^{16} atoms/cm²의 도즈량으로 도핑(이온 주입)하여 pMOSTFT의 P⁺층의 소스부(22) 및 드레인부(23)를 형성한다. 그리고, 이 작업은 nMOS 주변 구동 회로의 경우에는 pMOSTFT가 없으므로 불필요한 작업이다.

이어서, 도 4 (13)에 도시한 바와 같이, TFT, 다이오드 등의 능동 소자부나 저항, 인덕탄스 등의 수동 소자부를 마일랜드화하기 위하여, 포트리저스트(24)를 하고, 주변 구동 영역 및 표시 영역의 모든 능동 소자부 및 수동 소자부 이외의 단결정 실리콘 박막층을 벌음 포트리소그래피 및 에칭 기술로 제거한다. 에칭액은 불산계이다.

이어서, 도 5 (14)에 도시한 바와 같이, 플라즈마 CVD, 고밀도 플라즈마 CVD, 촉매 CVD법 등에 의하여 SiO₂ 막(두께 약 200nm) 및 인 살리세이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

그리고, 이 상태에서 단결정 실리콘층을 광산화 처리한다. 이 광산화에서 광산화층의 램프 어닐링 조건은 약 1000°C, 약 10초 정도이고, 이에 건디는 게이트 전극 재료가 필요하며, 고용량의 Mo/Ta 합금은 적당하다. 따라서, 이 게이트 전극 재료는 게이트부뿐 아니라 배선으로서 넓은 범위에 걸쳐 연장하여 배치할 수 있다. 그리고, 여기에서는 고가의 액시터 러시어 어닐링은 사용하지 않지만, 만일 사용한다면 그 조건은 XeCl(파장 308nm)로 전체면, 또는 능동 소자부 및 수동 소자부만의 선택적인 90% 이상의 오버랩 스캐닝이 바람직하다.

이어서, 도 5 (15)에 도시한 바와 같이, 벌음 포트리소그래피 및 에칭 기술에 의하여 주변 구동 회로의 전체 TFT의 소스/드레인부 및 표시용 TFT의 소스부의 콘택트용 항을 형성한다.

그리고, 전체면에 두께 500~800nm의 알루미늄 또는 알루미늄 합금, 예를 들면 1% Si가 혼입된 알루미늄 또는 1~2% 동이 혼입된 알루미늄, 동 등의 스퍼터 막을 형성하고, 벌음 포트리소그래피 및 에칭 기술에 의하여 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다. 그 후, 포밍 가스(N₂H₄) 중에서 약 400°C / 1hr 산터(sinter) 처리한다.

이어서, 도 5 (16)에 도시한 바와 같이, 플라즈마 CVD, 고밀도 플라즈마 CVD, 촉매 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성한다. 이어서, 표시용 TFT의 드레인부의 콘택트용 항을 형성한다. 그리고, 화소부의 SiO₂, PSG 및 SiN 막을 제거할 필요는 없다.

반사형 액정 표시 장치의 기본적인 요건으로는, 액정 패널 내부에 입사광을 반사시키는 기능과 산란시키는 기능을 결비해야 한다. 이것은 디스플레이에 대한 관찰자의 방향은 대략 결정되어 있지만, 입사광의 방향이 실질적으로 결정되지 않기 때문이다. 이로 인하여, 일직의 방향으로 잘 광원이 존재하는 것을 가정하여 반사판을 설계할 필요가 있다. 따라서, 도 8 (17)에 도시한 바와 같이, 전체면에 스피ن 코팅 등으로 두께 2~3μm의 광광성 수지막(28)을 형성하고, 도 6 (18)에 도시한 바와 같이 벌음 포트리소그래피 및 에칭 기술에 의하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 얻기 위한 요철 형상 패턴을 형성하고, 리플로우(reflow)시켜 요철 조면(凹凸粗面)(28A)으로 이루어지는 반사면 하부를 형성한다. 동시에, 표시용 TFT의 드레인부의 콘택트용 수지 항을 형성한다.

이어서, 도 6 (19)에 도시한 바와 같이, 전체면에 두께 400~500nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스퍼터 막을 형성하고, 벌음 포트리소그래피 및 에칭 기술에 의하여 화소부 이외의 알루미늄 막 등을 제거하고, 표시용 TFT의 드레인부(19)와 접속한 요철 형상의 알루미늄 등의 반사부(29)를 형성한다. 이것은 표시용 화소 전극으로 사용된다. 그 후, 포밍 가스 중에서 약 300°C / 1hr 산터 처리하고 콘택트를 충분히 한다. 그리고, 반사율을 높이기 위하여, 알루미늄계 대신 은 또는 은 합금을 사용할 수도 있다.

이상과 같이 하여, 촉매 CVD법에 의하여 단차(4)를 포함하는 결정성 사파이어막(50)을 저온 히테르오펠렉트 성장의 시드로 하여 단결정 실리콘층(7)을 형성하고, 이 단결정 실리콘층(7)을 사용한 표시부 및 주변 구동 회로부에 각각, 플 게이트형의 nMOSLDD-TFT, 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 구성하는 CMOS 회로를 만들어 넣은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

다음에, 이 액티브 매트릭스 기판(구동 기판)(30)을 사용하여, 반사형 액정 표시 장치(LCD)를 제조하는 방법을 도 7을 참조하여 설명한다. 이후에 이 액티브 매트릭스 기판을 TFT 기판이라고 한다.

이 LCD의 액정 셀을 연면(面) 조립으로 제작하는 경우(2인치 사이즈 이상의 중/대형 액정 패널에 적합함), 먼저 TFT 기판(30)과, 전체면에 ITO(indium tin oxide) 전극(31)을 배설한 대향 기판(32)의 소자 형성면에, 폴리이미드 배향막(33, 34)을 형성한다. 이 폴리이미드 배향막은 롤 코팅, 스피ن 코팅 등에 의하여 두께 50~100nm로 형성하고, 180°C / 2hr 경화 큐어(cure)한다.

이어서, TFT 기판(30)과 대향 기판(32)을 러빙(rubbing) 또는 광 배향 처리한다. 러빙 버프(buff) 재료

트 코팅이나 레이어 등이 있지만, 버프 잔여물(먼지)나 리터데이션(retardation) 등의 면에서는 코팅 폭이 한정되어 있다. 광 배향은 비접촉의 선험 편광 자외선 조사(照射)에 의한 액정 분자의 배향 기술이다. 그리고, 배향에는 러빙 이외에도 편광 또는 비편광을 비스듬하게 입사시킴으로써 고분자 배향도를 형성할 수 있다(이와 같은 고분자 화합물은 예를 들면 아조벤젠(azobenzene)을 가지는 폴리메틸메타크릴레이트계 고분자(polymethylmethacrylate polymer) 등이 있을).

이어서, 세정 후에 TFT 기판(30) 속에는 코몬제(common agent)를 도포하고, 대향 기판(32) 속에는 실링제를 도포한다. 러빙 버프 잔여물의 제거를 위하여 클 또는 IPA(이소프로필 알콜) 세정한다. 코몬제는 도전성 필러(filler)를 함유한 아크릴 또는 에폭시아크릴레이트 또는 에폭시계 접착제가 될 수도 있고, 실링제는 아크릴 또는 에폭시아크릴레이트 또는 에폭시계 접착제가 될 수도 있다. 가열 경화, 자외선 조사 경화, 자외선 조사 경화와 가열 경화를 같이 사용한 것 중 어느 것이나 사용할 수 있지만, 종합의 정밀도와 작업성 관점에서는 자외선 조사 경화와 가열 경화를 같이 사용한 타입이 바람직하다.

이어서, 대향 기판(32) 속에 소정의 갭을 얻기 위한 스페이서를 산포하고, TFT 기판(30)과 소정의 위치에서 중합한다. 대향 기판(32) 속의 열라인먼트 마크와 TFT 기판(30) 속의 열라인먼트 마크를 정밀도가 양호하게 맞춘 후, 자외선 조사하여 실링제를 일시적으로 경화시키고 그 후에 일괄하여 가열 경화한다.

이어서, 스크라이브 브레이킹(scribe breaking)하여 TFT 기판(30)과 대향 기판(32)을 중합한 단개(單個)의 액정 패널을 만든다.

이어서, 액정(35)을 양 기판(30-32) 간의 갭 내에 주입하고, 주입구를 자외선 접착제로 실링한 후에 IPA 세정한다. 액정의 종류는 무엇이나 사용 가능하지만, 예를 들면 네마틱 액정을 사용하는 고속 응답의 TN(트윈스티드 네마틱) 모드가 일반적이다.

이어서, 가열 / 냉각 처리하여 액정(35)을 배향시킨다.

이어서, TFT 기판(30)의 패널 전극 인출부에 플렉서를 배선을 이방성(異方性) 도전막의 열 압착으로 접속하고, 또한 대향 기판(32)에 편광판을 접합한다.

또, 액정 패널의 면단(面單) 조립(assembling in screen unit)의 경우(2인치 사이즈 이하의 소형 액정 패널에 적합함). 상기와 동일하게 TFT 기판(30)과 대향 기판(32)의 소자 형성면에 폴리이미드 배향(33, 34)을 형성하고 양 기판을 러빙 또는 비접촉의 선험 편광 자외선 광으로 배향 처리한다.

이어서, TFT 기판(30)과 대향 기판(32)을 다이싱(dicing) 또는 스크라이브 브레이킹으로 단개로 분할하고 클 또는 IPA 세정한다. TFT 기판(30)에는 코몬제를 도포하고 대향 기판(32)에는 스페이서를 함유한 실링제를 도포하여 양 기판을 결합한다. 이 이후의 프로세스는 상기에 준한다.

상기한 반사형 LCD에서, 대향 기판(32)은 CF(칼라 필터) 기판으로서, 칼라 필터층(46)을 ITO 전극(31) 하에 형성한 것이다. 대향 기판(32) 속으로부터의 입사광은 반사막(29)에서 호출적으로 반사되어 대향 기판(32) 속으로부터 출사된다.

한편, TFT 기판(30)으로, 드 7과 같은 상기한 기판 구조 이외에, TFT 기판(30)에 칼라 필터를 형성한 온 칩 칼라 필터(OCF, on-chip color filter) 구조의 TFT 기판으로 할 때는 대향 기판(32)에 ITO 전극이 전체적으로 부착된다(또는 플렉 마스크를 가지는 ITO 전극이 부착된다).

그리고, 드 12에 도시한 보조 용량(C₂)을 화소부에 조립하는 경우에는, 상기한 기판(1)상에 형성한 유전체층(미도시)을 단결정 실리콘의 드레인 영역(19)과 접속하면 된다.

이상 설명한 바와 같이 본 실시예에 의하면, 다음과 같은 현저한 작용 효과를 얻을 수 있다.

(a) 소정 형상 / 치수의 단개(4)를 형성한 기판(1)에 결정성 사파이어막(50)을 형성하고 이것을 시드로 하여 저온 하이드로테펙셀 성장(단, 성장 시의 가열 온도는 200~800°C, 바람직하게는 300~400°C로 비교적 저온)시킴으로써, 540nm/v·sec 이상의 높은 전자 이동도의 단결정 실리콘 박막(7)을 얻을 수 있으므로, 고성능 트랜지스터를 내장한 LCD를 제조할 수 있게 된다. 단개(4)는 이 에피택셀 성장을 촉진하므로 보다 결정성이 높은 단결정 실리콘층(7)을 얻을 수 있다.

(b) 이 단결정 실리콘층은 종래의 마들머스 실리콘층이나 단결정 실리콘층에 비하여 단결정 실리콘 기판과 동등한 높은 전자 및 정공 이동도를 나타내므로, 이에 따른 단결정 실리콘 독일 게이트형 MOSTFT는 높은 스위칭 특성과 저리크 전류의 LDD 구조를 가지는 nMOS 또는 pMOS 또는 CMOS 또는 CMOSFT로 이루어지는 표시부와, 높은 구동 능력을 가지는 CMOS, nMOS 또는 pMOSTFT 또는 이들의 조합으로 이루어지는 주변 구동 회로를 일체화한 구성이 가능하게 되어 고화질, 고정세, 높은 프레임 에지, 등 화면, 고풍률의 표시 패널이 실현된다. 이 단결정 실리콘 층(7)은 충분히 높은 정공 이동도를 나타내므로, 저저온 정공을 각각 단독이나 또는 양쪽을 조합하여 구동하는 주변 구동 회로를 제작할 수 있고, 이것을 nMOS 또는 pMOS 또는 CMOS의 LDD 구조의 표시용 TFT와 일체화한 패널을 실현할 수 있다. 또, 소형 내치 증형 패널의 경우에는 주변의 한 쌍의 수직 구동 회로의 한쪽을 생략할 수 있는 가능성이 있다.

(c) 특히, 주변 구동 회로에 독일 게이트형의 MOSTFT를 사용하고 있으므로, 싱글 게이트형인 TFT에 비하여 1.5~2배 높은 구동 능력을 가지는 CMOS, nMOS 또는 pMOSTFT를 구성할 수 있어 보다 고성능이며 구동 능력이 큰 TFT가 되고, 특히 주변 구동 회로의 일부에 큰 구동 능력을 가지는 TFT가 필요한 경우에는 적합하게 된다. 또, 독일 게이트 구조는 상하의 게이트부의 선택에 의하여 독일 게이트형이나 보틀 게이트형으로도 용이하게 변경할 수 있고, 또 상하의 게이트부의 어느 하나가 동작이 불가능하게 되어도 한쪽의 게이트부를 사용할 수 있다는 것도 미천이다.

(d) 그리고, 상기한 실리콘 에피택셀 성장 시의 가열 처리 온도는 800°C 이하가 가능하므로, 절연 기판상에 비교적 저온(예를 들면 200~600°C 이하)으로 단결정 실리콘층(7)을 균일하게 형성할 수 있다. 그리고, 기판으로는 석영 유리나 결정화 유리, 세라믹 기판 등을 비롯하여, 불규산 유리(또는 내열성 유기 기판) 등과 같이 액정이 낮고 저코스트이며 물성도 양호한 기판 재질을 임의로 선택할 수 있고, 또 기판의

대형화도 가능하게 된다.

(e) 고상 성장법의 경우와 같은 중온에서 장시간의 어닐링이나 액시터 레이저 어닐링이 불필요하게 되므로, 생산성이 높으며 고가인 제조 설비가 불필요하여 코스트 다운이 가능하게 된다.

(f) 이 헤테로에피택셜 성장에서는 결정성 사파이어막 등의 결정성, 혹은 CVD의 가스 조성비 등의 조건, 단차의 형상, 기판 가열 온도, 첨가하는 N형 또는 P형 캐리어 불순물 농도 등의 조정에 의하여 광범위한 N형 또는 P형 등의 도전형과 고이동도의 단결정 실리콘층을 용이하게 얻을 수 있으므로, V_{th} (문턱값) 조정이 용이하며 저저항화에 의한 고속 동작이 가능하다.

(g) 포시 어레이부상에 칼라 필터를 만들어 넣으면 포시 패널의 개구율, 휘도 등의 개선을 비롯하여, 칼라 필터 기판의 생략, 생산성 개선 등에 의한 코스트 다운이 실현된다.

(h) 결정성 사파이어막 등의 상기 물질층은 다양한 원자의 확산 배리어가 되므로 유리 기판으로부터의 불순물의 확산을 억제할 수 있다.

<제2 실시예>

도 14 내지 16을 참조하여 본 발명의 제2 실시예를 설명한다.

본 실시예는 전술한 제1 실시예와 비교하여, 동일한 풀 게이트형 MOSTFT를 포시부에, 듀얼 게이트형 MOSTFT를 주변 구동 회로부에 가지지만, 전술한 제1 실시예와는 상이하게, 투과형 LCD에 관한 것이다. 즉, 도 1 (1)부터 도 5 (16)에 도시한 공정까지는 동일하지만, 그 공정 후에 도 14 (17)에 도시한 바와 같이, 절연막(25, 36)에 포시용 TFT의 드레인부 콘택트용 참(19)을 형성하는 동시에, 투과를 향상을 위하여 화소 개구부의 불필요한 SiO₂, PSG 및 SiN 막을 제거한다.

이어서, 도 14 (18)에 도시한 바와 같이, 전체면에 스펀 코팅 등으로 두께 2~3 μ m의 감광성 마스클레 투영 수지의 평탄화막(288)을 형성하고, 복층 포토리스그라피에 의하여 포시용 TFT의 드레인부의 투영 수지(288)의 형을 형성하고 소정 조건에서 경화시킨다.

이어서, 도 14 (19)에 도시한 바와 같이, 전체면에 두께 130~150nm의 ITO 스퍼터 막을 형성하고, 복층 포토리스그라피 및 에칭 기술에 의하여 포시용 TFT의 드레인부(19)와 콘택트한 ITO 투영 전극(41)을 형성한다. 그리고, 열 처리(포밍 가스 중에서 200~250°C / 1h)에 의하여 포시용 TFT의 드레인부와 ITO의 콘택트 저항의 저감화와 ITO 투영전극의 향상을 도모한다.

그리고, 도 15에 도시한 바와 같이, 대향 기판(32)과 조합하여 전술한 제1 실시예와 동일하게 하여 투과형 LCD를 조립한다. 단, TFT 기판 측에는 편광판을 접합한다. 이 투과형 LCD에서는 실선(實線)으로 나타난 바와 같이 투과율이 얻어지지만, 일정색온도 나타낸 바와 같이 대향 기판(32) 측으로부터의 투과광이 또한 얻어질 수도 있다.

이 투과형 LCD의 경우, 다음과 같이 하여 온 칩 칼라 필터(OCCF) 구조와 온 칩 블랙(OCB, on-chip black) 구조를 제작할 수 있다.

즉, 도 1 (1) 내지 5 (16)까지의 공정은 상기의 공정에 준하여 행하지만, 그후 도 16 (17)에 도시한 바와 같이 PSG/SiO₂의 절연막(25)의 드레인부드 형을 형성하여 드레인 전극용 알루미늄 매립층(41a)을 형성한 후, SiN/PSG의 절연막(36)을 형성한다.

이어서, 도 16 (18)에 도시한 바와 같이, R, G, B의 각 색을 각 세그먼트마다 안쪽 분산한 포토레지스트(61)를 소정의 두께(1~1.5 μ m)로 형성한 후, 도 16 (19)에 도시한 바와 같이 복층 포토리스그라피 기술로 소정 위치(각 화소부)만을 남기는 패턴으로 각 칼라 필터층(61(R), 61(G), 61(B))을 형성한다(온 칩 칼라 필터 구조). 이때, 드레인부의 형도 형성한다. 그리고, 불투명한 세라믹 기판이나 저투과율 유리 또는 내열성 수지 기판을 사용할 수 있다.

이어서, 도 16 (19)에 도시한 바와 같이, 포시용 TFT의 드레인에 연통하는 콘택트 창에, 칼라 필터층상에 걸쳐 블랙 마스크 층이 되는 차광층(遮光層)(43)을 금속 패턴으로 형성한다. 예를 들면, 스퍼터링법에 의하여 몰리브덴을 두께가 200~250nm으로 형성하고 포시용 TFT를 덮어 차광하는 소정의 형상으로 패턴ニング한다(온 칩 블랙 구조).

이어서, 도 16 (20)에 도시한 바와 같이, 투영 수지의 평탄화막(288)을 형성하고, 또한 이 평탄화막에 형성된 스루홀(through hole)에 ITO 투영 전극(41)을 차광층(43)에 접속하도록 형성한다.

이와 같이, 포시 어레이부상에 칼라 필터(61)나 블랙 마스크(43)를 만들어 넣음으로써 액정 포시 패널의 개구율을 개선하고, 또 백 라이트도 포함한 디스플레이 모듈의 저소비전력화가 실현된다.

<제3 실시예>

도 17 내지 25는 본 발명의 제3 실시예를 도시한 것이다.

본 실시예에서는, 주변 구동 회로부를 전술한 제1 실시예와 동일한 듀얼 게이트형의 pMOSTFT와 nMOSTFT로 이루어지는 CMOS 구동 회로로 구성한다. 포시부는 반사형이며, 각종 게이트 구조의 TFT를 여러 가지로 조합하여 형성하고 있다.

즉, 도 17 (A)는 전술한 제1 실시예와 동일한 풀 게이트형의 nMOSLOD - TFT를 포시부에 배설하고 있지만, 도 17 (B)에 도시한 포시부에는 브릴 게이트형인 nMOSLOD - TFT, 도 17 (C)에 도시한 포시부에는 듀얼 게이트형의 nMOSLOD - TFT를 각각 배설하고 있다. 이들 브릴 게이트형, 듀얼 게이트형 MOSTFT의 어느 것이나 출몰하는 바와 같이 주변 구동 회로부의 듀얼 게이트형 MOSTFT와 공통의 공정으로 제작 가능하지만, 특히 듀얼 게이트형의 경우에는 상하의 게이트부에 의하여 구동 능력이 향상되어 고속 스위칭에 적합하고, 또 상하의 게이트부의 어느 하나를 선택적으로 사용하여 경우에 따라 풀 게이트형 또는 브릴 게이트형으로 동작시킬 수도 있다.

그리고, 도 17 (8)의 브릿지 게이트형 MOSTFT에서, 도면 중의 기는 Mo/Ta 등의 게이트 전극이고, 72는 SiN 막이며 73은 SiO₂ 막으로 이들 막으로 게이트 절연막을 형성하고, 이 게이트 절연막상에는 주변 구동 회로부의 듀얼 게이트형 MOSTFT와 동일한 단결정 실리콘층을 사용한 채널 영역 등이 형성되어 있다. 또, 도 17 (C)의 듀얼 게이트형 MOSTFT에서, 하부 게이트부는 브릿지 게이트형 MOSTFT와 동일하지만, 상부 게이트부는 게이트 절연막(82)을 SiO₂ 막과 SiN 막으로 형성하고, 이 위에 상부 게이트 전극(83)을 형성하고 있다. 단, 어느 것에서나 헤테로에피택셜 성장의 시도가 되는 동시에 단결정 실리콘막의 성장을 촉진하고, 그 결정성을 높이는 작용을 가지는 단차(4)의 외측에 각 게이트부를 구성하고 있다.

다음에, 상기의 브릿지 게이트형 MOSTFT의 제조 방법을 도 18 내지 22를 참조하여, 상기의 듀얼 게이트형 MOSTFT의 제조 방법을 도 23 내지 25를 참조하여 각각 설명한다. 그리고, 주변 구동 회로부의 듀얼 게이트형 MOSTFT의 제조 방법은 도 1 내지 6에서 설명한 것과 동일하므로 여기에서는 도시를 생략한다.

포시부에서 브릿지 게이트형 MOSTFT를 제조하기 위해서는, 먼저 도 18 (1)에 도시한 바와 같이, 도 1 (1)과 동일한 공정에서, 기판(1)상에 몰리브덴/탄탈(Mo/Ta) 합금의 스퍼터 막(71)(두께 500~600nm)을 형성한다.

이어서, 도 18 (2)에 도시한 바와 같이, 도 1 (2)와 동일한 공정에서, 포토레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo/Ta 막(71)을 테이퍼 에칭하고, 측단부(71a)가 사다리꼴 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 18 (3)에 도시한 바와 같이, 도 1 (3)과 동일한 공정에서, 포토레지스트(70)의 제거 후에 몰리브덴-탄탈 합금막(71)을 포함하는 기판(1)상에 플라즈마 CVD법에 의하여 SiN 막(두께 약 100nm)(72)과 SiO₂ 막(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 19 (4)에 도시한 바와 같이, 도 2 (4)와 동일한 공정에서, 최소한 TFT 형성 영역에, 포토레지스트(2)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 전술한 것과 동일하게 기판(1) 상의 게이트 절연막에(또한 기판(1)에도) 단차(4)를 적당한 형상 및 치수로 복수 개 형성한다. 이 단차(4)는 후술하는 단결정 실리콘의 헤테로에피택셜 성장 시의 시드인 동시에 단결정 실리콘막의 성장을 촉진하고, 그 결정성을 높이는 작용을 가지는 것으로서, 길이(d)=0.3~0.4 μ m, 폭(w)=2~10 μ m, 길이(종이면에서 수직 방향)=10~20 μ m가 될 수도 있으며, 저면과 측면이 이루는 각(저각)은 직각으로 한다.

이어서, 도 19 (5)에 도시한 바와 같이, 포토레지스트(2)의 제거 후에, 도 2 (5)와 동일한 공정에서, 전술한 바와 동일하게 절연 기판(1)의 1주면에서 단차(4)를 포함하는 최소한 TFT 형성 영역에 결정성 사파이어 박막(두께 20~200nm)(50)을 형성한다.

이어서, 도 19 (6)에 도시한 바와 같이, 도 2 (6)과 동일한 공정에서, 전술한 바와 동일하게 측면 CVD법에 의하여 단결정 실리콘을 헤테로에피택셜 성장시키고, 두께를 예를 들면 0.1 μ m 정도의 단결정 실리콘층(7)으로서 석출시킨다. 이때, 기판의 게이트 전극(71)의 측단부(71a)는 완만한 경사면이 되어 있으므로, 이 면상에는 단차(4)에 의한 에피택셜 성장을 저해하지 않고, 단이 끊어질 없이 단결정 실리콘층(7)이 성장하게 된다.

이어서, 도 19 (7)에 도시한 바와 같이, 도 2 (7) 내지 3 (9)의 공정을 거친 후, 도 3 (10)과 동일한 공정에서, 포시부의 nMOSTFT의 게이트부를 포토레지스트(13)로 커버하고, 노출된 nMOSTFT의 소스/드레인 영역에 인 이온(14)을 도핑(이온 주입)하여, N⁺형 층으로 이루어지는 LDD부(15)를 자기정합적으로 형성한다. 이 때, 브릿지 게이트 전극(71)이 존재함으로써 포인 고저차(또는 패럴)를 인식하기 쉽고 포토레지스트(13)의 위치 맞춤(마스크 맞춤)을 행하기 위하여 얼라인먼트 머릿놀이 잘 생기지 않는다.

이어서, 도 20 (8)에 도시한 바와 같이, 도 4 (11)과 동일한 공정에서, nMOSTFT의 게이트부 및 LDD부를 포토레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 이온(17)을 도핑(이온 주입)하여 nMOSTFT의 N⁺형 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 20 (9)에 도시한 바와 같이, 도 4 (12)와 동일한 공정에서, nMOSTFT 전부를 포토레지스트(20)로 커버하고, 붕소 이온(21)을 도핑(이온 주입)하여 주변 구동 회로부의 pMOSTFT의 P⁺층인 소스부 및 드레인부를 형성한다.

이어서, 도 20 (10)에 도시한 바와 같이, 도 4 (13)과 동일한 공정에서, 능동 소자부만 소등 소자부를 마일렌드화하기 위하여, 포토레지스트(24)를 형성하고 단결정 실리콘 박막층을 평평 포토리소그래피 및 에칭 기술로 선택적으로 제거한다.

이어서, 도 20 (11)에 도시한 바와 같이, 도 5 (14)와 동일한 공정에서, 플라즈마 CVD, 고밀도 플라즈마 CVD, 측면 CVD법에 의하여 SiO₂ 막(53)(두께 약 300nm)과 인 실리콘이트 유리(PSG) 막(54)(두께 약 300nm)을 이 순서로 전체면에 형성한다. 그리고, SiO₂ 막(53)과 PSG 막(54)은 전술한 브호막(25)에 상당하는 것이다. 그리고, 이 상태에서 단결정 실리콘막을 전술한 바와 동일하게 활성화 처리한다.

이어서, 도 21 (12)에 도시한 바와 같이, 도 5 (15)와 동일한 공정에서, 평평 포토리소그래피 및 에칭 기술에 의하여 소스부의 콘택트를 창을 형성한다. 그리고, 전체면에 두께 400~500nm의 알루미늄 스퍼터 막을 형성하고, 평평 포토리소그래피 및 에칭 기술에 의하여 TFT의 소스 전극(25)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다. 그 후, 포핑 가스 중에서 약 400°C / 1hr로 산화 처리한다.

도 21 (13)에 도시한 바와 같이, 도 5 (16)와 동일한 공정에서, 고밀도 플라즈마 CVD, 측면 CVD법에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성하고 포시용 TFT의 드레인부의 콘택트를 창을 형성한다.

이어서, 도 21 (14)에 도시한 바와 같이, 도 5 (17)와 동일한 공정에서, 스피ن 코팅 등으로 두께 2~3 μ m의 감광성 수지막(29)을 형성하고, 도 21 (15)에 도시한 바와 같이, 평평 포토리소그래피 및 에칭 기술에 의

하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 얻는 요철 형상 패턴을 형성하고, 리플르시커 요철 조면(28A)으로 이루어지는 반사면 하부를 형성한다. 동시에 표시용 TFT의 드레인부의 콘택트층 수지 함을 형성한다.

이어서, 도 21 (15)에 도시한 바와 같이, 도 5 (19)와 동일한 공정에서, 전체면에 두께 400~500nm의 알루미늄 스퍼터 막을 형성하고, 반응 포토리소그래피 및 에칭 기술에 의하여 표시용 TFT의 드레인부(19)와 접속한 요철 형상의 알루미늄 등의 반사부(29)를 형성한다.

이상과 같이 하여, 촉매 CVD법에 의하여 결정성 사파이어 박막(50) 및 단차(4)를 저온 헤테로에피택셜 성장의 시드로 하여 형성된 단결정 실리콘층(7)을 사용한 표시부에 트랜지스터형 nMOSLD - TFT(주변부에서는 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 이루어지는 CMOS 구동 회로)를 만들어 넣은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기관(30)을 제작할 수 있다.

도 22는 표시부에 배설하는 상기한 트랜지스터형 MOSTFT의 게이트 절연막을 Mo/Ta의 올크 산화법으로 형성한 예를 도시한다.

즉, 도 18 (2)의 공정 후에 도 22 (3)에 도시한 바와 같이 플리브덴-탄탈 합금막(71)을 공지의 올크 산화 처리를 함으로써 그 표면에 Ta₂O₅로 이루어지는 게이트 절연막(74)을 두께 100~200nm로 형성한다.

이후의 공정은 도 22 (4)에 도시한 바와 같이, 도 19 (4)~(6)의 공정과 동일하게 하여 단차(4), 또한 결정성 사파이어막(50)을 형성하고, 촉매 CVD법에 의하여 단결정 실리콘막(7)을 헤테로에피택셜 성장시킨 후, 도 19 (7) 내지 21 (15)의 공정과 동일하게 하여 도 22 (5)에 도시한 바와 같이 액티브 매트릭스 기관(30)을 제작한다.

다음에, 표시부에서 듀얼 게이트형 MOSTFT를 제조하기 위해서는 먼저 도 18 (1) 내지 19 (6)까지의 공정은 전술한 바와 동일하게 행한다.

즉, 도 23 (7)에 도시한 바와 같이, 절연막(72, 73) 및 기관(1)에 단차(4)를 형성하고, 또한 결정성 사파이어막(50) 및 단차(4)를 시드로 하여 단결정 실리콘층(7)을 헤테로에피택셜 성장시킨다. 이어서, 도 3 (8)과 동일한 공정에서, 단결정 실리콘 박막(7) 상의 전체면에 플라스마 CVD, 촉매 CVD 등에 의하여 SiO₂ 막(두께 약 200nm)과 SiN 막(두께 약 100nm)을 이 순서로 연속 형성하여 절연막(80)(이것은 전술한 절연막(8)에 상당)을 형성하고, 또한 Mo/Ta 합금의 스퍼터 막(81)(두께 500~600nm)(이것은 전술한 스퍼터 막(9)에 상당)을 형성한다.

이어서, 도 23 (8)에 도시한 바와 같이, 도 3 (9)와 동일한 공정에서, 포트리저스트 패턴(10)을 형성하고, 연속한 에칭에 의하여 Mo/Ta 합금의 플 게이트 전극(82)(이것은 전술한 게이트 전극(12)에 상당)과 게이트 절연막(83)(이것은 전술한 게이트 절연막(11)에 상당)을 형성하여 단결정 실리콘 박막(7)을 노출시킨다.

이어서, 도 23 (9)에 도시한 바와 같이, 도 3 (10)과 동일한 공정에서, nMOSTFT의 플 게이트부를 포트리저스트(13)로 커버하고, 노출된 표시용 nMOSTFT의 소스/드레인 영역에 인 미온(14)을 도핑(미온 주입)하여 N⁺형 층의 LDD부(15)를 형성한다.

이어서, 도 23 (10)에 도시한 바와 같이, 도 4 (11)과 동일한 공정에서, nMOSTFT의 게이트부 및 LDD부를 포트리저스트(15)로 커버하고, 노출된 영역에 인 또는 비스 미온(17)을 도핑(미온 주입)하여 nMOSTFT의 N⁺형 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 24 (11)에 도시한 바와 같이, 도 4 (12)와 동일한 공정에서, pMOSTFT의 게이트부를 포트리저스트(20)로 커버하고, 노출된 영역에 붕소 미온(21)을 도핑(미온 주입)하여 주변 구동 회로부의 pMOSTFT의 P⁺층의 소스부 및 드레인부를 형성한다.

이어서, 도 24 (12)에 도시한 바와 같이, 도 4 (13)과 동일한 공정에서, 능동 소자부와 수동 소자부를 아일랜드화하기 위하여, 포트리저스트(24)를 형성하고 능동 소자부와 수동 소자부 이외의 단결정 실리콘 박막층을 반응 포토리소그래피 및 에칭 기술로 선택적으로 제거한다.

이어서, 도 24 (13)에 도시한 바와 같이, 도 5 (14)와 동일한 공정에서, 플라스마 CVD, 고밀도 플라스마 CVD, 촉매 CVD법에 의하여 SiO₂ 막(53)(두께 약 200nm)과 인 실리케이트 유리(PSG) 막(54)(두께 약 300nm)을 전체면에 형성한다. 이들 막(53, 54)은 전술한 보호막(25)에 상당하는 것이다. 그리고, 단결정 실리콘층(7)을 활성화 처리한다.

이어서, 도 24 (14)에 도시한 바와 같이, 도 5 (15)와 동일한 공정에서, 소스부의 콘택트층 함을 형성한다. 그리고, 전체면에 두께 400~500nm의 알루미늄 등의 스퍼터 막을 형성하고 반응 포토리소그래피 및 에칭 기술에 의하여 소스 전극(26)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다.

이어서, 도 25 (15)에 도시한 바와 같이, 도 5 (16)와 동일한 공정에서, PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성하고, 표시용 TFT의 드레인부의 콘택트층 함을 형성한다.

이어서, 도 25 (16)에 도시한 바와 같이, 전체면에 스프인 코팅 등으로 두께 2~3μm의 광광성 수지막(28)을 형성하고, 도 25 (17)에 도시한 바와 같이, 도 5 (18), (19)의 공정과 동일하게, 최소한 화소부에 요철 조면(28A)으로 이루어지는 반사면 하부를 형성하고, 동시에 표시용 TFT의 드레인부의 콘택트층의 수지 함을 형성하고, 또한 표시용 TFT의 드레인부(19)와 접속한, 최적의 반사 특성과 시야각 특성을 얻기 위한 요철 형상의 알루미늄 등의 반사부(29)를 형성한다.

이상과 같이 하여, 촉매 CVD법에 의하여 결정성 사파이어막(50) 및 단차(4)를 헤테로에피택셜 성장의 시드로 하여 형성된 단결정 실리콘층(7)을 사용하고, 표시부에 듀얼 게이트형의 nMOSLD - TFT를, 주변 구동 회로부에 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 이루어지는 CMOS 구동 회로를 만들어 넣은 표시부 - 주변

구동 회로부 일체형인 액티브 매트릭스 기판(30)을 제작할 수 있다.

〈제4 실시예〉

도 26 내지 31은 본 발명의 제 4 실시예를 도시한 것이다.

본 실시예에서는 전술한 실시예와는 상이하게, 풀 게이트부의 게이트 전극을 알루미늄 등의 비교적 내열성이 낮은 재료로 형성하고 있다.

먼저 포시부에 풀 게이트형 MOSTFT를, 주변 구동 회로에 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한 제1 실시예에서의 도 1 (1) 내지 2 (7)까지의 공정은 동일하게 행하고, 도 26 (7)에 도시한 바와 같이 주변 구동 회로부의 pMOSTFT부에 N형 웰(7A)을 형성한다.

이어서, 도 26 (8)에 도시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOS TFT 전부와 포시 영역의 nMOS TFT의 게이트부를 도르레지스트(13)로 커버하고, 노출된 nMOSTFT의 소스/드레인 영역에 인 미온(14)을 예를 들면 20kV에서 5×10^{14} atoms/cm²의 도즈량으로 도핑(미온 주입)하여 N⁻형 층으로 이루어지는 LOD부(15)를 자기정합적으로 형성한다.

이어서, 도 27 (9)에 도시한 바와 같이, 주변 구동 영역의 pMOSTFT 전부와 주변 구동 영역의 nMOSTFT의 게이트부와 포시 영역의 nMOSTFT의 게이트 및 LOD부를 도르레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 미온(17)을 예를 들면 20kV에서 5×10^{14} atoms/cm²의 도즈량으로 도핑(미온 주입)하여, nMOSTFT의 N⁻형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LOD부(15)를 형성한다. 이 경우, 가상선으로 나타낸 바와 같이 레지스트(13)를 남기고 이것을 덮도록 레지스트(16)를 형성하면, 레지스트(16) 형성 시의 마스크의 위치 맞춤을 레지스트(13)를 기준으로 할 수 있어 마스크 맞춤이 용이하게 되어 얼라인먼트의 어긋남도 적어진다.

이어서, 도 27 (10)에 도시한 바와 같이, 주변 구동 영역의 nMOSTFT 및 포시 영역의 nMOSTFT 전부와 pMOSTFT의 게이트부를 도르레지스트(20)로 커버하고, 노출된 영역에 붕소 미온(21)을 예를 들면 10kV에서 5×10^{14} atoms/cm²의 도즈량으로 도핑(미온 주입)하여 pMOSTFT의 P⁺층의 소스부(22) 및 드레인부(23)를 형성한다.

이어서, 레지스트(20)의 제거 후에, 도 27 (11)에 도시한 바와 같이, 단결정 실리콘층(7, 7A)을 전술한 바와 동일하게 광산화 처리하고, 또한 포면에 게이트 절연막(12), 게이트 전극 재료(알루미늄 또는 1% Si가 혼합된 알루미늄 등)(11)를 형성한다. 게이트 전극 재료층(11)은 진공 증착법 또는 스퍼터링 법으로 형성 가능하다.

이어서, 전술한 바와 동일하게, 각 게이트부를 패터닝한 후 등용 소자부와 수동 소자부를 마일렌드화하고, 또한 도 28 (12)에 도시한 바와 같이, SiO₂ 막(두께 약 200nm) 및 인 실리콘 게이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

이어서, 도 28 (13)에 도시한 바와 같이, 벌공 포토리소그래피 및 에칭 기술에 의하여 주변 구동 회로의 모든 TFT의 소스/드레인부 및 포시용 TFT의 소스부의 콘택트용 창을 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 스퍼터 막을 형성하고, 벌공 포토리소그래피 및 에칭 기술에 의하여 주변 구동 회로 및 포시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에 데이터 라인 및 게이트 라인을 형성한다. 그 후, 프링 가스(N₂, H₂) 중에서 약 400°C / 1hr로 산화 처리한다.

이어서, 도 5 (16) 내지 6 (19)와 동일하게 하여 단결정 실리콘층(7)을 사용한 포시부 및 주변 구동 회로부에 각각, 알루미늄 또는 1% Si가 혼합된 알루미늄 등을 게이트 전극으로 하는 풀 게이트형인 nMOSLOD-TFT, 듀얼 게이트형의 pMOSTFT 및 nMOSTFT를 구성하는 CMOS 구동 회로를 만들어 넣은 포시부-주변 구동 회로부 일체형인 액티브 매트릭스 기판(30)을 제작할 수 있다.

본 실시예에서는, 단결정 실리콘층(7)의 광산화 처리 후에 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 게이트 전극(11)을 형성하고 있으므로, 그 광산화 처리 시의 열의 영향은 게이트 전극 재료의 내열성과는 관계가 없기 때문에, 풀 게이트 전극 재료를 비교적 내열성이 낮고 저코스트인 알루미늄 또는 1% Si가 혼합된 알루미늄 등으로도 사용 가능하게 되어 전극 재료의 선택의 폭도 넓어진다. 이것은 포시부가 듀얼 게이트형 MOSTFT인 경우도 동일하다.

다음에, 포시부에 듀얼 게이트형 MOSTFT, 주변 구동 회로는 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한 제3 실시예에서의 도 18 (1) 내지 19 (5)까지의 공정은 동일하게 행하고, 도 29 (6)에 도시한 바와 같이 주변 구동 회로부의 pMOSTFT부에 N형 웰(7A)을 형성한다.

이어서, 도 29 (7)에 도시한 바와 같이, 도 26 (8)과 동일하게 하여 포시부의 TFT부에 인 미온(14)을 도핑하여 LOD부(15)를 형성한다.

이어서, 도 30 (8)에 도시한 바와 같이, 도 27 (9)와 동일하게 하여 포시부 및 주변 구동 회로부의 nMOSTFT부에 인 미온(17)을 도핑하여 N⁻형 소스 영역(18) 및 드레인 영역(19)을 각각 형성한다.

이어서, 도 30 (9)에 도시한 바와 같이, 도 27 (10)과 동일하게 하여 주변 구동 회로부의 pMOSTFT부에 붕소 미온(21)을 도핑하여 P⁺형 소스 영역(22) 및 드레인 영역(23)을 각각 형성한다.

이어서, 레지스트(20)의 제거 후에, 도 30 (10)에 도시한 바와 같이, 단결정 실리콘층(7)을 패터닝하여 등용 소자부와 수동 소자부를 마일렌드화한 후, 도 31 (11)에 도시한 바와 같이, 단결정 실리콘층(7, 7A)을 전술한 바와 동일하게 광산화 처리하고, 또한 포시부에서는 포면에 게이트 절연막(80)을 형성하고 주변 구동 회로부에서는 포면에 게이트 절연막(12)을 형성한다.

이어서, 도 31 (12)에 도시한 바와 같이, 전체면에 스퍼터링 법으로 약 10nm의 알루미늄을 패터닝하여 포시부의 각 상부 게이트 전극(83), 주변 구동 회로부의 각 상부 게이트 전극(11)을 형성한다.

이어서, 도 31 (13)에 도시한 바와 같이, SiO₂ 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

이어서, 전술한 바와 동일하게 하여, 주변 구동 회로 및 포시부의 모든 TFT의 소스 전극(25)과 주변 구동 회로부의 드레인 전극(27)을 형성하고, 단결정 실리콘층(7)을 사용한 포시부 및 주변 구동 회로부에 각각, 알루미늄 등을 게이트 전극으로 하는 두벌 게이트형의 nMOSLDD-TFT, 두벌 게이트형의 pMOSTFT 및 nMOSTFT로 구성되는 CMOS 구동 회로를 만들어 넣은 포시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

본 실시예에서도, 단결정 실리콘층(7)의 광산화 처리 후에 알루미늄 등의 게이트 전극(11, 83)을 형성하고 있으므로, 그 광산화 처리 시의 열의 영향은 게이트 전극 재료의 내열성과는 관계가 없으므로, 그 게이트 전극 재료로서 비교적 내열성이 낮은 저크스트린 알루미늄 등으로도 사용 가능하게 되어 전극 재료의 선택의 폭이 넓어진다. 그리고, 도 31 (12)의 공정에서 소스 전극(25)을 (또한 드레인 전극도) 동시에 형성할 수 있으며, 이 경우에는 제 5 방법 상의 메리트가 있다.

그리고, 전술한 어느 실시예에서나, 예를 들면 브릴 게이트형 또는 록 게이트형 또는 두벌 게이트형 MOSTFT를 제작할 때, 도 32 (A)에 개략적으로 도시한 바와 같이, 단차(4)를 형성하면 이 위에 성장하는 단결정 실리콘막(7)이 얇기 때문에 단이 끊어지거나, 가능해지는 경우가 있으므로, 소스 전극(25)(또는 드레인 전극)과의 접속을 확실하게 행하기 위해서는, 도 32 (B), (C)에 도시한 바와 같이 그 전극을 단차(4)를 포함하는 영역상에 위치시키는 것이 바람직하다.

그리고, 도 26 (8)의 공정 또는 도 29 (7)의 공정에서, 단결정 실리콘층(7)상에 록 게이트 절연막의 형성 후에 이온 주입, 광산화 처리하고, 그 후에 록 게이트 전극, 소스, 드레인 전극을 알루미늄으로 동시에 형성할 수도 있다.

또, 상기한 단차(4)는 도 33 (A)에 도시한 바와 같이, 전술한 예에서는 기판(1)에(또한 그 위의 SiN 등의 막에도) 형성하였지만, 예를 들면 도 33 (B)에 도시한 바와 같이, 기판(1) 상의 결정성 사파이어막(50)(이것은 유리 기판(1)으로부터의 이온의 확산을 막는 스퍼터링 기층이 있음)에 형성할 수도 있다. 이 결정성 사파이어막(50) 대신, 또는 이 결정성 사파이어막 아래에 전술한 게이트 절연막(72 및 73)을 형성하고, 이것에 단차(4)를 형성할 수도 있다. 결정성 사파이어막(50)에 단차(4)를 형성한 예를 도 33 (C), (D), (E)에 각각 예시하였다.

〈제5 실시예〉

도 34 내지 36은 본 발명의 제5 실시예를 도시한 것이다.

본 실시예에서는 전술한 단차(4)의 외측에(즉, 단차 이외의 기판(1)상에) 각 TFT를 형성한 각종 예를 도시한다. 그리고, 단결정 실리콘층(7)이나 게이트/소스/드레인 전극(25, 27)에 대해서는 간략하게 도시하고 있다.

먼저, 도 34는 록 게이트형 TFT를 도시한다. 도 34 (A)는 단차에 의한 오부(凹部)(4)를 소스 측의 일방에 소스 영역을 따라 형성하고, 이 오부 이외의 기판 평탄면상에 단결정 실리콘층(7) 상으로 게이트 절연막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (B)는 단차에 의한 오부(4)를 소스 영역뿐 아니라 채널 길이 방향으로 드레인 영역단(領域端)까지를 따라 2번에 걸쳐 L자형 패턴으로 형성한 예, 도 34 (C)는 동일한 오부(4)를 TFT 형성 영역을 둘러싸도록 4번에 걸쳐 구형상(矩形狀)으로 형성한 예를 도시한다. 또, 도 34 (D)는 동일한 오부(4)를 3번에 걸쳐 형성한 예, 도 34 (E)는 동일한 오부(4)를 2번에 걸쳐 L자형 패턴으로 형성한 예이며, 어느 것이나 인접하는 오부(4-4) 간은 연속되어 있지 않다.

이와 같이, 각종 패턴의 오부(4)를 형성 가능한 동시에, TFT를 오부(4) 이외의 평탄면상에 배열하고 있으므로 TFT의 제작이 용이하게 된다.

도 35는 브릴 게이트형 MOSTFT의 경우이며, 도 34에 도시한 각종 패턴의 단차(또는 오부)(4)를 동일하게 형성할 수 있다. 즉, 도 35 (A)는 도 34 (A)에 대응한 예로, 브릴 게이트형 MOSTFT를 단차에 의한 오부(4) 이외의 평탄면상에 형성한 것이다. 동일하게, 도 35 (B)는 도 34 (B)에, 도 35 (C)는 도 34 (C)나 (D)에 대응한 예를 도시한다. 도 35 (D)는 결정성 사파이어막(50)에 단차를 형성한 경우이다.

도 36은 두벌 게이트형 MOSTFT의 경우이며, 이것도 도 34에 도시한 각종 패턴의 단차(또는 오부)(4)를 동일하게 형성할 수 있고, 예를 들면 도 34 (C)에 도시한 단차(4)의 내측 영역의 평탄면상에 두벌 게이트형 MOSTFT를 제작할 수 있다.

〈제6 실시예〉

도 37 내지 39는 본 발명의 제6 실시예를 도시한 것이다.

도 37의 예는 자기정합형 LDD 구조의 TFT, 예를 들면 록 게이트형 LDD-TFT를 복수 개 연결한 다들 게이트형 MOSTFT에 관한 것이다.

이에 따르면, 게이트 전극(11)을 2개로 분기시키고 한쪽을 제1 게이트로서 제1 LDD-TFT용, 다른 쪽을 제2 게이트로서 제2 LDD-TFT용으로 사용한다(단, 단결정 실리콘층의 중앙부에서 게이트 전극 간에 N형 영역(100)을 형성하여 저저항화를 도모하고 있음). 이 경우, 각 게이트에 상이한 전압을 인가해 주면, 또 어떤 원인으로 한쪽의 게이트가 동작이 불가능하게 되어도 나머지 게이트를 사용함으로써 소스와 드레인 간에서의 캐리어의 이동을 행할 수 있고, 신뢰성이 높은 디바이스를 제공할 수 있게 된다. 또, 제1 LDD-TFT와 제2 LDD-TFT를 직렬로 2개 접속하여 각 화소를 구동하는 박막 트랜지스터를 형성하도록 했으므로, 오프되어 있을 때 각 박막 트랜지스터의 소스와 드레인 간에 인가되는 전압을 대폭 감소시킬 수 있다. 따라서, 오프되어 있을 때 흐르는 리크 전류를 적게 할 수 있고, 액정 디스플레이의 콘트라스트 향

화질을 양호하게 개선할 수 있다. 또, 상기 LDD 트랜지스터에서의 채널도 드레인 영역과 동일한 반도체층만을 사용하여 상기 2개의 LDD 트랜지스터를 접속하도록 하고 있으므로, 각 트랜지스터 간의 접속 거리를 짧게 할 수 있고, 이로 인하여 LDD 트랜지스터를 2개 연결해도 소오 연결이 커지지 않도록 할 수 있다. 그리고, 상기 제1, 제2 게이트는 서로 완전하게 분리되어 독립적으로 동작시키는 것도 가능하다.

도 38의 예는 드릴 게이트형 MOSTFT를 더블 게이트 구조로 한 것(A)과, 듀얼 게이트형 MOSTFT를 더블 게이트 구조로 한 것(B)이다.

이들 더블 게이트형 MOSTFT는, 상기인 통 게이트형과 동일한 이점을 가지지만, 이 중에서 듀얼 게이트형의 경우에는 또한, 상하의 게이트부의 어느 하나가 동작이 불가능하게 되어도 다른 한쪽의 게이트부를 사용할 수 있다는 것도 이점이다.

도 39에는 상기인 각 더블 게이트형 MOSTFT의 동작 회로도를 도시하고 있다. 그리고, 상기에서는 게이트를 2개로 분기하였지만, 3개 또는 그 이상으로 분기 또는 분할할 수도 있다. 이들 더블 게이트 또는 멀티 게이트 구조에서, 채널 영역 내에 20이상의 분기된 동일 전위의 게이트 전극을 가지거나, 또는 분할된 상이 전위 또는 동일 전위의 게이트 전극을 가질 수도 있다.

<제7 실시예>

도 40은 본 발명의 제7 실시예를 도시한 것으로, nMOSTFT의 듀얼 게이트형 구조의 TFT에서, 상하 게이트부의 어느 한쪽을 트랜지스터 동작시키고 다른 쪽의 게이트부는 다음과 같이 동작시키고 있다.

즉, 도 40 (A)는 nMOSTFT에서, 통 게이트 측의 게이트 전극에 항상 일의의 부전압을 인가하여 백 채널(back channel)의 리크 전류를 저감시키는 것이다. 통 게이트 전극을 오픈으로 하는 경우에는 드릴 게이트형으로 사용할 때이다. 또, 도 40 (B)는 드릴 게이트 측의 게이트 전극에 항상 일의의 부전압을 인가하여 백 채널의 리크 전류를 저감시키는 것이다. 이 경우에도 드릴 게이트 전극을 오픈으로 하면 플레트 게이트형으로 사용할 수 있다. 그리고, pMOSTFT의 경우에는 항상 일의의 정전압을 게이트 전극에 인가하면 백 채널의 리크 전류를 감소시킨다.

어느 경우나 단결정 실리콘층(7)과 절연막의 계면(界面)은 결정성이 나쁘고 리크 전류가 흐르기 쉽지만, 상기인 같은 전극의 부전압 인가에 의하여 리크 전류를 차단할 수 있다. 이것은 LDD 구조의 효과와 함께 유리하게 된다. 또, 유리 기판(1) 측으로부터 입사하는 광으로 인하여 리크 전류가 흐르는 경우가 있지만, 드릴 게이트 전극으로 광을 차단하므로 리크 전류를 저감시킬 수 있다.

<제8 실시예>

도 41 내지 47은 본 발명의 제8 실시예를 도시한 것이다.

특 실시예에서는 기판에 전술한 바와 같은 단차를 형성하지 않고, 기판의 평탄면상에 전술한 물질층(예를 들면 결정성 사파이어막)을 형성하고, 이 물질층을 시드르 하여 촉매 CVD법에 의하여 단결정 실리콘층을 에피택셜 성장시키고, 이것을 사용하여 통 게이트형 MOSTFT를 표시부에, 듀얼 게이트형 MOSTFT를 주변 구동 회로부에 구성한 액티브 매트릭스 반도체 백정 표시 장치(LCD)에 관한 것이다.

다음에 도 41 내지 47을 참조하여 본 실시예에 의한 액티브 매트릭스 반도체 LCD를 그 제조 공정에 따라 설명한다. 즉, 도 41 내지 47에서 각 도면의 좌측은 표시부의 제조 공정, 우측은 주변 구동 회로부의 제조 공정을 나타낸다.

먼저 도 41 (1)에 도시한 바와 같이, 통규산 유리, 석영 유리, 투명성 결정화 유리 등의 절연 기판(1)의 1주면에 플리브덴/탄탈(Mo/Ta) 합금의 스퍼터 막(71)(두께 500~600nm)을 형성한다.

이어서, 도 41 (2)에 도시한 바와 같이, 프트레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo/Ta 막(71)을 레이저 에칭하여 촉각부(71a)가 사다리꼴 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 41 (3)에 도시한 바와 같이, 프트레지스트(70) 제거 후에 플리브덴-탄탈 합금막(71)을 포함하는 기판(1)상에 플라스마 CVD법 중에 의하여 SiN 막(두께 약 100nm)(72)과 SiO₂ 막(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 42 (4)에 도시한 바와 같이, 절연 기판(1)의 1주면에서 최소한 TFT 형성 영역에 결정성 사파이어막(두께 20~200nm)(50)을 형성한다. 이 결정성 사파이어막(50)은 고밀도 플라스마 CVD법이나, 촉매 CVD법(일본특개소 53-40314호 공보 참조) 중에 의하여 트리메틸알루미늄 가스 등을 산화성 가스(산소·수분)로 산화하고, 결정화시켜 만든다. 절연 기판(1)으로 고내열성 유리 기판(직경 8~12인치, 두께 700~800μm)이 사용 가능하다.

이어서, 도 42 (5)에 도시한 바와 같이, 도 2 (6)과 동일하게 촉매 CVD법(기판 온도 200~800°C)에 의하여 단결정 실리콘층(7)을 수 μm~0.005μm(예를 들면 0.1μm)의 두께로 에피택셜 성장시킨다. 기판(1)이 통규산 유리인 경우에는 기판 온도를 200~600°C로 하고, 석영 유리나 결정화 유리, 세라믹 기판의 경우에는 기판 온도를 600~800°C로 한다.

상기한 바와 같이 하여 최적의 단결정 실리콘층(7)은 사파이어막(50)이 단결정 실리콘과 강한 격자 정합을 나타내므로, 예를 들면 (100)면이 기판상에 에피택셜 성장한다.

이렇게 하여, 촉매 CVD법과 에피택셜 성장에 의하여 기판(1)상에 단결정 실리콘층(7)을 적층시킨 후, 전술한 바와 동일하게 하여 단결정 실리콘층(7)을 채널 영역으로 하는 통 게이트형 또는 듀얼 게이트형 MOSTFT의 제작을 행한다.

먼저, 상기인 에피택셜 성장에 의한 단결정 실리콘층(7)의 전체면에 p형 캐리어 물순을, 예를 들면 붕소 이온을 적량 도핑하여 비저항을 조정한다. 또, pMOSTFT 형성 영역만, 선택적으로 n형 캐리어 물순을 도핑하여 n형 필을 형성한다. 예를 들면, p채널 TFT부를 프트레지스트(미도시)로 마스크하고 p형 물순을

미은(예를 들면 9^+)을 10kV에서 $2.7 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여 비저항을 조정한다. 또, 도 42 (6)에 도시한 바와 같이, pMOSTFT 형성 영역의 플라스마 농도 제어를 위하여 nMOSTFT부를 포트리저스트(60)로 마스크하고 N형 플라스마 미은(예를 들면 P^+)(65)을 10kV에서 $1 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여 N형 웰(7A)을 형성한다.

이어서, 도 43 (7)에 도시한 바와 같이, 단결정 실리콘층(7)의 전체면상에 플라스마 CVD, 고밀도 플라스마 CVD, 혹은 CVD법 등으로 SiO_2 (두께 약 200nm)와 SiN (두께 약 100nm)을 이 순서로 연속 형성하여 게이트 절연막(8)을 형성하고, 또한 폴리덴-탄탈(Mo/Ta) 합금의 스퍼터 막(9)(두께 500~600nm)을 형성한다.

이어서, 도 43 (8)에 도시한 바와 같이, 벌공의 포트리소그래피 기술에 의하여, 표시 영역의 TFT부와 주변 구동 영역의 TFT부의 각각의 단차 영역(오버 레)에 포트리저스트 패턴(10)을 형성하고, 연속된 에칭에 의하여 (Mo/Ta) 합금의 게이트 전극(11)과 게이트 절연막(SiN/SiO_2)(12)을 형성하여, 단결정 실리콘층(7)을 노출시킨다. (Mo/Ta) 합금막(9)은 산계 에칭액, SiN 은 CF₄ 가스의 플라스마 에칭, SiO_2 는 불산계 에칭액으로 처리한다.

이어서, 도 43 (9)에 도시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOSTFT 전부와 표시 영역의 nMOSTFT의 게이트부를 포트리저스트(13)로 커버하고, 노출된 nMOSTFT의 소스/드레인 영역에 인 미은(14)을 예를 들면 20kV에서 $5 \times 10^{10} \text{ atoms/cm}^2$ 의 도즈량으로 도핑(미은 주입)하여 N^- 형 층으로 이루어지는 LOD부(15)를 자기정향적(셀프얼라인먼트)으로 형성한다.

이어서, 도 44 (10)에 도시한 바와 같이, 주변 구동 영역의 pMOSTFT 전부와 주변 구동 영역의 nMOSTFT의 게이트부와 표시 영역의 nMOSTFT의 게이트 및 LOD부를 포트리저스트(16)로 커버하고, 노출된 영역에 인 또는 비소 미은(17)을 예를 들면 20kV에서 $5 \times 10^{10} \text{ atoms/cm}^2$ 의 도즈량으로 도핑(미은 주입)하여 nMOSTFT의 N^+ 형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LOD부(15)를 형성한다.

이어서, 도 44 (11)에 도시한 바와 같이, 주변 구동 영역의 nMOSTFT 및 표시 영역의 nMOSTFT 전부와 pMOSTFT의 게이트부를 포트리저스트(20)로 커버하고, 노출된 영역에 붕소 미은(21)을 예를 들면 10kV에서 $5 \times 10^{10} \text{ atoms/cm}^2$ 의 도즈량으로 도핑(미은 주입)하여 pMOSTFT의 P^+ 층의 소스부(22) 및 드레인부(23)를 형성한다. 그리고, 이 작업은 nMOS 주변 구동 회로의 경우에는 pMOSTFT가 없으므로 불필요한 작업이다.

이어서, 도 44 (12)에 도시한 바와 같이, TFT, 다이오드 등의 능동 소자부나 저항, 인덕터스 등의 수동 소자부를 마일랜드화하기 위하여, 포트리저스트(24)를 형성하고, 주변 구동 영역 및 표시 영역의 모든 능동 소자부 및 수동 소자부 이외의 단결정 실리콘 박막층을 벌공 포트리소그래피 및 에칭 기술로 제거한다. 에칭액은 불산계이다.

이어서, 도 45 (13)에 도시한 바와 같이, 플라스마 CVD, 고밀도 플라스마 CVD, 혹은 CVD법 등에 의하여 SiO_2 막(두께 약 200nm) 및 인 실리콘계이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

그리고, 이 상태에서 단결정 실리콘층을 잘성화 처리한다. 이 잘성화에서 칼르겐 등의 램프 어닐링 조건은 약 1000°C, 약 10초 정도이고, 이에 건디는 게이트 전극 재료가 필요하며, 고용점의 Mo/Ta 합금은 적합하다. 따라서, 이 게이트 전극 재료는 게이트부뿐 아니라 배선으로서 넓은 범위에 걸쳐 연장하여 배치할 수 있다. 그리고, 여기에서는 고가의 액시머 레이저 어닐링은 사용하지 않지만, 단일 사용한다면 그 조건은 XeCl(파장 308nm)로 전체면, 또는 능동 소자부 및 수동 소자부만의 선택적인 90% 이상의 오버랩 스캐닝이 바람직하다.

이어서, 도 45 (14)에 도시한 바와 같이, 벌공 포트리소그래피 및 에칭 기술에 의하여 주변 구동 회로의 전체 TFT의 소스/드레인부 및 표시용 TFT의 소스부의 콘택트층 형을 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 스퍼터 막을 형성하고, 벌공 포트리소그래피 및 에칭 기술에 의하여 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다. 그 후, 포팅 가스(N_2/H_2) 중에서 약 400°C / 1hr 선터 처리한다.

이어서, 도 45 (15)에 도시한 바와 같이, 플라스마 CVD, 고밀도 플라스마 CVD, 혹은 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성한다. 이어서, 표시용 TFT의 드레인부의 콘택트층 형을 형성한다. 그리고, 화소부의 SiO_2 , PSG 및 SiN 막을 제거할 필요는 없다.

이어서, 도 6 (18)에서 설명한 것과 동일한 목적으로, 도 46 (16)에 도시한 바와 같이 전체면에 스프링 코팅 등으로 두께 2~3 μm 의 광량성 수지막(28)을 형성하고, 도 45 (17)에 도시한 바와 같이 벌공 포트리소그래피 및 에칭 기술에 의하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 얻기 위한 요철 형상 패턴을 형성하고, 리플로시커 요철 조면(28A)으로 이루어지는 반사면 하부를 형성한다. 동시에, 표시용 TFT의 드레인부의 콘택트층 수지 형을 형성한다.

이어서, 도 46 (18)에 도시한 바와 같이, 전체면에 두께 400~500nm의 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 스퍼터 막을 형성하고, 벌공 포트리소그래피 및 에칭 기술에 의하여 화소부 이외의 알루미늄 막 등을 제거하고, 표시용 TFT의 드레인부(19)와 접속한 요철 형상의 알루미늄 등의 반사부(29)를 형성한다. 이것은 표시용 화소 전극으로 사용된다. 그 후, 포팅 가스 중에서 약 300°C / 1hr 선터 처리하고 콘택트를 충분히 한다. 그리고, 반사율을 높이기 위하여, 알루미늄계 대신 은 또는 은 합금을 사용할 수 있다.

이상과 같이 하여, 촉매 CVD법에 의하여 결정성 사파이어막(50)을 저온 헤테로에피택셜 성장의 시드로 하여, 단결정 실리콘층(7)을 형성하고, 이 단결정 실리콘층(7)을 사용한 표시부 및 주변 구동 회로부에 각각, 풀 게이트형의 nMOSL00-TFT, 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 구성하는 CMOS 회로를 만들어 넣은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

이렇게 하여 얻어진 액티브 매트릭스 기판(구동 기판)(30)을 사용하여, 도 6에서 설명한 것과 동일하게 하여 도 47의 반사형 액정 표시 장치(LCD)를 제조한다.

본 실시예에서는 전술한 제1 실시예에서 설명한 것과 동일한 우수한 효과가 얻어지는 명백하다. 또한, 기판(1)에 단차를 형성하지 않고 결정성 사파이어막(50)에만 의하여 단결정 실리콘층(7)을 헤테로에피택셜 성장시키고 있으므로, 단차의 형성 공정을 생략하여 보다 제조 공정을 간략화할 수 있는 동시에 성장하는 단결정 실리콘층의 단 영역 접 등의 문제도 해소할 수 있게 된다.

<제9 실시예>

도 48 내지 50을 참조하여 본 발명의 제9 실시예를 설명한다.

본 실시예는 전술한 제8 실시예와 비교하여, 동일한 풀 게이트형 MOSTFT를 표시부에, 듀얼 게이트형 MOSTFT를 주변 구동 회로부에 가지지만, 전술한 제8 실시예와는 상이하게, 투과형 LCD에 관한 것이다. 즉, 도 41 (1)부터 도 45 (15)에 도시한 공정까지는 동일하지만, 그 공정 후에 도 48 (16)에 도시한 바와 같이, 절연막(25, 36)에 표시용 TFT의 드레인부 콘택트층 창(19)을 형성하는 동시에, 투과를 향상을 위하여 하소 개구부의 불필요한 SiO₂, PSG 및 SiN 막을 제거한다.

이어서, 도 48 (17)에 도시한 바와 같이, 전체면에 스피ن 코팅 등으로 두께 2~3 μ m의 감광성 마크밀계 투영 수지의 평탄화막(288)을 형성하고, 박층 포토리소그래피에 의하여 표시용 TFT의 드레인층의 투영 수지(288)의 형을 형성하고 소정 조건에서 경화시킨다.

이어서, 도 48 (18)에 도시한 바와 같이, 전체면에 두께 130~150nm의 ITO 스퍼터 막을 형성하고, 박층 포토리소그래피 및 에칭 기술에 의하여 표시용 TFT의 드레인부(19)와 콘택트한 ITO 투영 전극(41)을 형성한다. 그리고, 열 처리(포밍 가스 중에서 200~250°C / 1h)에 의하여 표시용 TFT의 드레인부와 ITO의 콘택트 저항의 저감화와 ITO 투영층의 향상을 도모한다.

그리고, 도 49에 도시한 바와 같이, 대향 기판(32)과 조합하여 전술한 제8 실시예와 동일하게 하여 투과형 LCD를 조립한다. 단, TFT 기판 측에도 편광판을 접합한다. 이 투과형 LCD에서는 앞면으로 나타낸 바와 같이 투과율이 떨어지지만, 일체화전으로 나타낸 바와 같이 대향 기판(32) 측으로부터의 투과율이 또한 얻어질 수도 있다.

이 투과형 LCD의 경우, 다음과 같이 하여 은 첼 칼라 필터(OCCF) 구조와 은 첼 블랙(OCB) 구조를 제작할 수 있다.

즉, 도 41 (1) 내지 45 (14)까지의 공정은 상기의 공정에 준하여 행하지만, 그 후 도 50 (15)에 도시한 바와 같이 PSG/SiO₂의 절연막(25)의 드레인부드 형을 형성하여 드레인 전극용 알루미늄 패드층(41A)을 형성한 후, SiN/PSG의 절연막(36)을 형성한다.

이어서, 도 50 (16)에 도시한 바와 같이, R, G, B의 각 색을 각 세그먼트마다 안료 분산한 포토레지스트(61)를 소정의 두께(1~1.5 μ m)로 형성한 후, 도 50 (17)에 도시한 바와 같이 박층 포토리소그래피 기술로 소정 위치(각 화소부)만을 남기는 패턴닝으로 각 칼라 필터층(61(R), 61(G), 61(B))을 형성한다(은 첼 칼라 필터 구조). 이때, 드레인부의 창도 형성한다. 그리고, 불투명한 세라믹 기판은 사용될 수 없다.

이어서, 도 50 (17)에 도시한 바와 같이, 표시용 TFT의 드레인부에 연통하는 콘택트 창에, 칼라 필터층에 걸쳐 블랙 마스크 층이 되는 차광층(43)을 연속 패턴닝으로 형성한다. 예를 들면, 스퍼터링 법에 의하여 폴리비탄을 두께가 200~250nm로 형성하고 표시용 TFT를 덮어 차광하는 소정의 형상으로 패턴닝한다(은 첼 블랙 구조).

이어서, 도 50 (18)에 도시한 바와 같이, 투영 수지의 평탄화막(288)을 형성하고, 또한 이 평탄화막에 형성된 스프롤에 ITO 투영 전극(41)을 차광층(43)에 접속하도록 형성한다.

이와 같이, 표시 머레이부상에 칼라 필터(61)나 블랙 마스크(43)를 만들어 넣음으로써 액정 표시 패널의 개구율을 개선하고, 또 백 라이트도 포함한 디스플레이 모듈의 저소비전력화가 실현된다.

<제10 실시예>

도 51 내지 53은 본 발명의 제10 실시예를 도시한 것이다.

본 실시예에서는, 주변 구동 회로부를 전술한 제8 실시예와 동일한 듀얼 게이트형의 pMOSTFT와 nMOSTFT를 이루어지는 CMOS 구동 회로부 구성한다. 표시부는 반사형이며, 각종 게이트 구조의 TFT를 여러 가지로 조합하여 형성하고 있다.

즉, 도 51 (A)는 전술한 제8 실시예와 동일한 풀 게이트형의 nMOSL00-TFT를 표시부에 배설하고 있지만, 도 51 (B)에 도시한 표시부에는 브릴 게이트형의 nMOSL00-TFT, 도 51 (C)에 도시한 표시부에는 듀얼 게이트형의 nMOSL00-TFT를 각각 배설하고 있다. 이들 브릴 게이트형, 듀얼 게이트형 MOSTFT의 어느 것이나 호출하는 바와 같이 주변 구동 회로부의 듀얼 게이트형 MOSTFT와 공통의 공정으로 제작 가능하지만, 특히 듀얼 게이트형의 경우에는 상하의 게이트부에 의하여 구동 능력이 향상되어 고속 스위칭에 적합하고, 또 상하의 게이트부의 어느 하나를 선택적으로 사용하여 경우에 따라 풀 게이트형 또는 브릴 게이트형으로 동작시킬 수도 있다.

그리고, 도 51 (B)의 브릴 게이트형 MOSTFT에서, 드레인 중의 71은 Mo/Ta 등의 게이트 전극이고, 72는 SiN

막이며 73은 SiO₂ 막으로 이들 막으로 게이트 절연막을 형성하고, 이 게이트 절연막상에는 풀 게이트형 MOSTFT와 동일한 단결정 실리콘층을 사용한 채널 영역 등이 형성되어 있다. 또, 도 49 (C)의 풀 게이트형 MOSTFT에서, 하부 게이트부는 브릴 게이트형 MOSTFT와 동일하지만, 상부 게이트부는 게이트 절연막(73)을 SiO₂ 막과 SiN 막으로 형성하고, 이 위에 상부 게이트 전극(74)을 배설하고 있다.

다음에, 상기의 브릴 게이트형 MOSTFT의 제조 방법을 도 52 내지 56을 참조하여, 상기의 풀 게이트형 MOSTFT의 제조 방법을, 도 57 내지 59를 참조하여 각각 설명한다. 그리고, 주변 구동 회로부의 브릴 게이트형 MOSTFT의 제조 방법은 도 41 내지 46에서 설명한 것과 동일하므로 여기에서는 도시를 생략한다.

포시부에서 브릴 게이트형 MOSTFT를 제조하기 위해서는, 먼저 도 52 (1)에 도시한 바와 같이, 기판(1)상에 폴리브덴 / 탄탈(Mo / Ta) 합금의 스퍼터 막(71)(두께 500~600nm)을 형성한다.

이어서, 도 52 (2)에 도시한 바와 같이, 프트레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo / Ta 막(71)을 데이퍼 에칭하고, 측단부(71a)가 사다리를 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 52 (3)에 도시한 바와 같이, 프트레지스트(70)의 제거 후에 폴리브덴-탄탈 합금막(71)을 포함하는 기판(1)상에 플라스마 CVD법 등에 의하여 SiN 막(두께 약 100nm)(72)과 SiO₂ 막(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 53 (4)에 도시한 바와 같이, 도 42 (4)와 동일한 공정에서, 전술한 것과 동일하게 절연 기판(1)의 L주면에서 최소한 TFT 형성 영역에 결정성 사파이어 박막(두께 20~200nm)(50)을 형성한다.

이어서, 도 53 (5)에 도시한 바와 같이, 도 42 (5)와 동일한 공정에서, 전술한 바와 동일하게 후에 CVD법에 의하여 단결정 실리콘을 헤테르에피택셜 성장시키고, 두께를 예를 들면 0.1μm 정도의 단결정 실리콘층(7)으로서 석출시킨다. 이때, 기판의 게이트 전극(71)의 측단부(71a)는 완만한 경사면이 되어 있으므로, 이 면상에는 단차(4)에 의한 에피택셜 성장을 저해하지 않고, 단이 끊어질 없이 단결정 실리콘층(7)이 성장하게 된다.

이어서, 도 53 (6)에 도시한 바와 같이, 도 42 (6) 내지 43 (8)의 공정을 거친 후, 도 43 (9)와 동일한 공정에서, 포시부의 nMOSTFT의 게이트부를 프트레지스트(13)로 커버하고, 노출된 nMOSTFT의 소스 / 드레인 영역에 인 미은(14)을 도핑(미은 주입)하여, N⁺형 층으로 이루어지는 LDD부(15)를 자기장하중으로 형성한다. 이 때, 브릴 게이트 전극(71)이 존재함으로써 프트 고저차(또는 패턴)를 인식하기 쉽고 프트레지스트(13)의 위치 맞춤(마스크 맞춤)을 행하기 쉬우며 절연인던트 여극함이 잘 생기지 않는다.

이어서, 도 54 (7)에 도시한 바와 같이, 도 44 (10)과 동일한 공정에서, nMOSTFT의 게이트부 및 LDD부를 프트레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 미은(17)을 도핑(미은 주입)하여 nMOSTFT의 N⁺형 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 54 (8)에 도시한 바와 같이, 도 44 (11)과 동일한 공정에서, nMOSTFT 전부를 프트레지스트(20)로 커버하고, 붕소 미은(21)을 도핑(미은 주입)하여 주변 구동 회로부의 pMOSTFT의 P⁺층의 소스부 및 드레인부를 형성한다.

이어서, 도 54 (9)에 도시한 바와 같이, 도 44 (12)와 동일한 공정에서, 붕소 소자부와 소스 소자부를 마일런드화하기 위하여, 프트레지스트(24)를 형성하고 단결정 실리콘 박막층을 범용 프트라이소그라피 및 에칭 기술로 선택적으로 제거한다.

이어서, 도 54 (10)에 도시한 바와 같이, 도 45 (13)과 동일한 공정에서, 플라스마 CVD, 고밀도 플라스마 CVD, 후에 CVD법 등에 의하여 SiO₂ 막(53)(두께 약 300nm)과 인 실리콘에이트 유리(PSG) 막(54)(두께 약 300nm)을 이 순서로 전체면에 형성한다. 그리고, SiO₂ 막(53)과 PSG 막(54)은 전술한 브호막(25)에 상당하는 것이다. 그리고, 이 상태에서 단결정 실리콘막을 전술한 바와 동일하게 결정화 처리한다.

이어서, 도 55 (11)에 도시한 바와 같이, 도 45 (14)와 동일한 공정에서, 범용 프트라이소그라피 및 에칭 기술에 의하여 소스부의 콘택트층 형을 형성한다. 그리고, 전체면에 두께 400~500nm인 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 스퍼터 막을 형성하고, 범용 프트라이소그라피 및 에칭 기술에 의하여 TFT의 소스 전극(26)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다. 그 후, 포팅 가스 중에서 약 400°C / 1hr로 신터 처리한다.

이어서, 도 55 (12)에 도시한 바와 같이, 도 45 (15)와 동일한 공정에서, 고밀도 플라스마 CVD, 후에 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성하고 포시용 TFT의 드레인부의 콘택트층 형을 형성한다.

이어서, 도 55 (13)에 도시한 바와 같이, 도 46 (16)과 동일한 공정에서, 스프인 코팅 등으로 두께 2~3μm의 감광성 수지막(28)을 형성하고, 도 55 (14)에 도시한 바와 같이, 범용 프트라이소그라피 및 에칭 기술에 의하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 얻는 요철 형상 패턴을 형성하고, 리플트시커 요철 조면(28A)으로 이루어지는 반사면 하부를 형성한다. 동시에 포시용 TFT의 드레인부의 콘택트층 수지 형을 형성한다.

이어서, 도 55 (14)에 도시한 바와 같이, 도 46 (18)과 동일한 공정에서, 전체면에 두께 400~500nm인 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 스퍼터 막을 형성하고, 범용 프트라이소그라피 및 에칭 기술에 의하여 포시용 TFT의 드레인부(19)와 접속한 요철 형상의 알루미늄 등의 반사부(29)를 형성한다.

이상과 같이 하여, 후에 CVD법에 의하여 결정성 사파이어 막(50)을 저온 헤테르에피택셜 성장의 시드로 하여 형성된 단결정 실리콘층(7)을 사용한 포시부 브릴 게이트형의 nMOSTLDD - TFT(주변부에서는 풀 게이트형의 pMOSTFT 및 nMOSTFT로 이루어지는 CMOS 구동 회로)를 만들어 넣은 포시부 및 주변 구동 회로부

일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

도 56은 표시부에 배설하는 상기한 브릴 게이트형 MOSTFT의 게이트 절연막을 Mo/Ta의 물극 산화법으로 형성한 예를 도시한다.

즉, 도 52 (2)의 공정 후에 도 56 (3)에 도시한 바와 같이 플리브덴-탄탈 합금막(71)을 공지의 물극 산화 처리를 함으로써 그 표면에 Ta₂O₅로 이루어지는 게이트 절연막(74)을 두께 100~200nm으로 형성한다.

이후의 공정은 도 56 (4)에 도시한 바와 같이, 도 53 (4)~(5)의 공정과 동일하게 하여 결정성 사파이어막(50)을 형성하고, 후에 CVD법에 의하여 단결정 실리콘막(7)을 헤테로에피택셜 성장시킨 후, 도 53 (6) 내지 55 (14)의 공정과 동일하게 하여 도 56 (5)에 도시한 바와 같이 액티브 매트릭스 기판(30)을 제작한다.

다음에, 표시부에서 듀얼 게이트형 MOSTFT를 제조하기 위해서는 먼저 도 52 (1) 내지 53 (5)까지의 공정은 전술한 바와 동일하게 행한다.

즉, 도 57 (6)에 도시한 바와 같이, 절연막(72, 73)상에 결정성 사파이어막(50)을 형성하고, 또한 이 결정성 사파이어막(50)을 시드르 하여 단결정 실리콘층(7)을 헤테로에피택셜 성장시킨다. 이어서, 도 43 (7)과 동일한 공정에서, 단결정 실리콘층(7)상의 전체면에 플라즈마 CVD, 후에 CVD 등에 의하여 SiO₂ 막(두께 약 200nm)과 SiN 막(두께 약 100nm)을 이 순서로 연속 형성하여 절연막(80)(이것은 전술한 절연막(8)에 상당)을 형성하고, 또한 Mo/Ta 합금의 스퍼터 막(81)(두께 500~600nm)(이것은 전술한 스퍼터 막(9)에 상당)을 형성한다.

이어서, 도 57 (7)에 도시한 바와 같이, 도 43 (8)과 동일한 공정에서, 포토레지스트 패턴(10)을 형성하고, 연속한 예정에 의하여 Mo/Ta 합금의 돌 게이트 전극(82)(이것은 전술한 게이트 전극(12)에 상당)과 게이트 절연막(83)(이것은 전술한 게이트 절연막(11)에 상당)을 형성하여 단결정 실리콘 박막층(7)을 노출시킨다.

이어서, 도 57 (8)에 도시한 바와 같이, 도 43 (9)와 동일한 공정에서, nMOSTFT의 플 게이트부를 포토레지스트(13)로 커버하고, 노출된 표시용 nMOSTFT의 소스/드레인 영역에 인 이온(14)을 드핑(이온 주입)하여 N⁺형 층의 LDD부(15)를 형성한다.

이어서, 도 57 (9)에 도시한 바와 같이, 도 44 (10)과 동일한 공정에서, nMOSTFT의 게이트부 및 LDD부를 포토레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 이온(17)을 드핑(이온 주입)하여 nMOSTFT의 N⁺형 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 58 (10)에 도시한 바와 같이, 도 44 (11)과 동일한 공정에서, pMOSTFT의 게이트부를 포토레지스트(20)로 커버하고, 노출된 영역에 붕소 이온(21)을 드핑(이온 주입)하여 주변 구동 회로부의 pMOSTFT의 P⁺층의 소스부 및 드레인부를 형성한다.

이어서, 도 58 (11)에 도시한 바와 같이, 도 44 (12)와 동일한 공정에서, 능동 소자부와 수동 소자부를 마일런드화하기 위하여, 포토레지스트(24)를 형성하고 능동 소자부와 수동 소자부 이외의 단결정 실리콘 층을 번들 포토리소그래피 및 에칭 기술로 선택적으로 제거한다.

이어서, 도 58 (12)에 도시한 바와 같이, 도 45 (13)과 동일한 공정에서, 플라즈마 CVD, 고밀도 플라즈마 CVD, 후에 CVD법에 의하여 SiO₂ 막(53)(두께 약 200nm)과 인 실리콘화물 유리(PSG) 막(54)(두께 약 300nm)을 전체면에 형성한다. 이들 막(53, 54)은 전술한 브호막(25)에 상당하는 것이다. 그리고, 단결정 실리콘층(7)을 잘라내 버린다.

이어서, 도 58 (13)에 도시한 바와 같이, 도 45 (14)와 동일한 공정에서, 소스부의 콘택트용 층을 형성한다. 그리고, 전체면에 두께 400~500nm의 알루미늄 또는 1% Si가 혼합된 알루미늄 등의 스퍼터 막을 형성하고 번들 포토리소그래피 및 에칭 기술에 의하여 소스 전극(25)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다.

이어서, 도 59 (14)에 도시한 바와 같이, 도 45 (15)와 동일한 공정에서, PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성하고, 표시용 TFT의 드레인부의 콘택트용 층을 형성한다.

이어서, 도 59 (15)에 도시한 바와 같이, 전체면에 스피닝 등으로 두께 2~3 μ m의 감광성 수지막(29)을 형성하고, 도 59 (16)에 도시한 바와 같이, 도 46 (17), (18)의 공정과 동일하게, 최소한 화소부에 오일 컷(28A)으로 이루어지는 반사면 하부를 형성하고, 동시에 표시용 TFT의 드레인부의 콘택트용의 수지 향을 형성하고, 또한 표시용 TFT의 드레인부(19)와 접속된, 최적의 반사 특성과 시야각 특성을 얻기 위한 오일 형상의 알루미늄 등의 반사부(29)를 형성한다.

이상과 같이 하여, 후에 CVD법에 의하여 결정성 사파이어막(50)을 헤테로에피택셜 성장의 시드르 하여 형성된 단결정 실리콘층(7)을 사용하고, 표시부에 듀얼 게이트형의 nMOSTFT-TFT를, 주변 구동 회로부에 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 이루어지는 CMOS 구동 회로를 만들어 넣은 표시부와 주변 구동 회로로 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

<제 11 실시예>

도 50 내지 52는 본 발명의 제 11 실시예를 도시한 것이다.

제 11 실시예에서는 전술한 실시예와는 상이하게, 플 게이트부의 게이트 전극을 알루미늄 등의 비교적 내열성이 낮은 재료로 형성하고 있다.

먼저 표시부 및 주변 구동 회로부에 플 게이트형 및 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한

제8 실시예에서의 도 41 (1) 내지 42 (6)까지의 공정은 동일하게 행하고, 도 50 (5)에 도시한 바와 같이 주변 구동 회로부의 pMOSTFT부에 N형 웰(7A)을 형성한다.

이어서, 도 60 (7)에 도시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOS TFT 전부와 포시 영역의 nMOS TFT의 게이트부를 포토레지스트(13)로 커버하고, 노출된 nMOSTFT의 소스/드레인 영역에 인 미온(14)을 예를 들면 20kV에서 5×10^{14} atoms/cm²의 도즈량으로 도핑(이온 주입)하여 N⁺형 층으로 이루어지는 LDD부(15)를 자기정합적으로 형성한다.

이어서, 도 61 (8)에 도시한 바와 같이, 주변 구동 영역의 pMOSTFT 전부와 주변 구동 영역의 nMOSTFT의 게이트부와 포시 영역의 nMOSTFT의 게이트 및 LDD부를 포토레지스트(16)로 커버하고, 노출된 영역에 인 또는 비스 미온(17)을 예를 들면 20kV에서 5×10^{16} atoms/cm²의 도즈량으로 도핑(이온 주입)하여, nMOSTFT의 N⁺형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LDD부(15)를 형성한다. 이 경우, 가상선으로 나타낸 바와 같이 레지스트(13)를 남기고 이것을 일드록 레지스트(16)를 형성하면, 레지스트(16) 형성 시의 마스크의 위치 맞춤을 레지스트(13)를 기준으로 할 수 있어 마스크 맞춤이 용이하게 되어 얼라인먼트의 어긋남도 적어진다.

이어서, 도 61 (9)에 도시한 바와 같이, 주변 구동 영역의 nMOSTFT 및 포시 영역의 nMOSTFT 전부와 pMOSTFT의 게이트부를 포토레지스트(20)로 커버하고, 노출된 영역에 붕소 미온(21)을 예를 들면 10kV에서 5×10^{16} atoms/cm²의 도즈량으로 도핑(이온 주입)하여 pMOSTFT의 P⁺층의 소스부(22) 및 드레인부(23)를 형성한다.

이어서, 레지스트(20)의 제거 후에, 도 61 (10)에 도시한 바와 같이, 단결정 실리콘층(7, 7A)을 전술한 바와 동일하게 활성화 처리하고, 또한 표면에 게이트 절연막(12), 게이트 전극 재료(알루미늄 또는 1% Si가 혼합된 알루미늄 등)(11)를 형성한다. 게이트 전극 재료층(11)은 진공 증착법 또는 스퍼터링 법으로 형성 가능하다.

이어서, 전술한 바와 동일하게, 각 게이트부를 패터닝한 후 능동 소자부와 수동 소자부를 마일랜드화하고, 또한 도 62 (11)에 도시한 바와 같이, SiO₂ 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

이어서, 도 62 (12)에 도시한 바와 같이, 발광 포트리소그래피 및 예칭 기술에 의하여 주변 구동 회로의 모든 TFT의 소스/드레인부 및 포시용 TFT의 소스부의 콘택트용 창을 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 또는 스퍼터 막을 형성하고, 발광 포트리소그래피 및 예칭 기술에 의하여 주변 구동 회로 및 포시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에 데이터 라인 및 게이트 라인을 형성한다. 그 후, 포핑 가스(N₂H₄) 중에서 약 400°C / 1hr 신터 처리한다.

이어서, 도 45 (15) 내지 46 (18)과 동일하게 하여 단결정 실리콘층(7)을 사용한 포시부 및 주변 구동 회로부에 각각, 알루미늄 또는 1% Si가 혼합된 알루미늄 층을 게이트 전극으로 하는 풀 게이트형의 nMOSLDD-TFT, 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 구성되는 CMOS 구동 회로를 만들어 넣은 포시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

본 실시예에서는, 단결정 실리콘층(7)의 활성화 처리 후에 알루미늄 또는 1% Si가 혼합된 알루미늄 층의 게이트 전극(11)을 형성하고 있으므로, 그 활성화 처리 시의 열의 영향은 게이트 전극 재료의 내열성과는 관계가 없기 때문에, 풀 게이트 전극 재료 비교적 내열성이 낮고 저저스트인 알루미늄 또는 1% Si가 혼합된 알루미늄 또는 등 층으로도 사용 가능하게 되어 전극 재료의 선택의 폭이 넓어진다. 이것은 포시부가 브릿 게이트형 MOSTFT인 경우도 동일하다.

다음에, 포시부에 듀얼 게이트형 MOSTFT, 주변 구동 회로에 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한 제3 실시예에서의 도 29 (6) 내지 31 (13)에서 설명한 공정과 동일하게 행하고, 포시부 및 주변 구동 회로부에 각각, 알루미늄 층을 풀 게이트 전극으로 하는 듀얼 게이트형의 nMOSLDD-TFT, pMOSTFT 및 nMOSTFT로 구성하는 CMOS 구동 회로를 만들어 넣은 포시부-주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

〈제12 실시예〉

도 63 내지 64는 본 발명의 제12 실시예를 도시한 것이다.

도 63의 예는 전술한 제8 실시예에서, 자기정합형 LDD 구조인 TFT, 예를 들면 풀 게이트형 LDD-TFT를 복수 개 연결한 더블 게이트형 MOSTFT에 관한 것이다.

도 64의 예는 브릿 게이트형 MOSTFT를 더블 게이트 구조로 한 것(A)과, 듀얼 게이트형 MOSTFT를 더블 게이트 구조로 한 것(B)이다.

이들 더블 게이트형 MOSTFT도, 전술한 도 37 내지 39에서 설명한 것과 동일한 이점을 가진다.

〈제13 실시예〉

도 65 내지 73은 본 발명의 제13 실시예를 도시한 것이다.

전술한 바와 같이, 풀 게이트형, 브릿 게이트형, 듀얼 게이트형의 각 TFT는 각각 구조상, 기능상의 차이 또는 특징이 있으므로 이들을 포시부와 주변 구동 회로부에서 채용할 때, 이들 각 부 사이에서 TFT를 여러 가지로 조합하여 배설하는 것이 유리한 경우가 있다.

예를 들면 도 65에 도시한 바와 같이, 포시부에 풀 게이트형, 브릿 게이트형, 듀얼 게이트형 중 어느 하나의 MOSTFT를 채용한 경우, 주변 구동 회로에는 풀 게이트형 MOSTFT, 브릿 게이트형 MOSTFT, 듀얼 게이트

트형 MOSTFT 중, 최소한 두벌 게이트를 채용하거나 또는 이들의 조합도 가능하다. 이 조합은 12가지(No. 1~No. 12)를 들 수 있다. 특히, 주변 구동 회로인 MOSTFT에 두벌 게이트 구조를 사용하면, 이와 같은 두벌 게이트 구조는 상하 게이트부의 전력에 의하여 둘 게이트형으로나 브릿지 게이트형으로나 용이하게 제공될 수 있고, 또 주변 구동 회로의 일부에 두 구동 능력을 가진 TFT가 필요한 경우에는 두벌 게이트형이 필요하게 되는 경우도 있다. 본 발명을 예를 들면, LCD 이외의 전기 광학 장치로서 유기 EL이나 FED 등에 적용하는 경우에는 필요하다고 생각된다.

도 66 내지 도 73은 주변 구동 회로부와 표시부의 각 MOSTFT의 조합을 채널 도전형별로 도시한 각종 예(No. 1~No. 216)를 도시한다. 도 66 및 도 67은 표시부의 MOSTFT가 LDD 구조가 아닐 때, 도 68 및 도 69는 표시부의 MOSTFT가 LDD구조일 때, 도 70 및 도 71은 주변 구동 회로부의 MOSTFT가 LDD 구조의 TFT를 포함할 때, 도 72 및 도 73은 주변 구동 회로부와 표시부 양쪽이 LDD 구조의 MOSTFT를 포함할 때를 도시한다.

이와 같이, 도 65에 도시한 게이트 구조별 조합은 구체적으로 도 66 내지 도 73에 도시한 바와 같이 된다. 이것은 주변 구동 회로부가 둘 게이트형과 다른 게이트형이 조합된 MOSTFT로 이루어져 있는 경우에도 동일한 조합이 가능하다. 그리고, 도 65 내지 도 73에 도시한 TFT의 각종 조합은 TFT의 채널 종류 등을 단결정 실리콘으로 형성하는 경우에 한정되지 않고, 다결정 실리콘이나 아몰퍼스 실리콘(단, 표시부만)으로 형성하는 경우에도 동일하게 적용 가능하다.

〈제14 실시예〉

도 74 내지 도 75는 본 발명의 제14 실시예를 도시한 것이다.

본 실시예에서, 액티브 매트릭스 구동 LCD에서 주변 구동 회로부는 구동 능력 향상의 관점에서 본 발명에 의한 전술한 단결정 실리콘층을 사용한 TFT를 배설한다. 단, 이것은 두벌 게이트형에 한정되지 않고 다른 게이트형이 조합될 수도 있고, 채널 도전형도 여러 가지일 수도 있으며, 또 단결정 실리콘층 이외의 다결정 실리콘층을 사용한 MOSTFT가 포함될 수도 있다. 이에 대하여, 표시부의 MOSTFT는 단결정 실리콘층을 사용하는 것이 바람직하지만, 이에 한정되지 않고 다결정 실리콘이나 아몰퍼스 실리콘층을 사용한 것일 수도 있고, 또는 3종의 실리콘층의 최소한 2종이 조합된 것일 수도 있다. 단, 표시부의 nMOSTFT를 포함할 때는 아몰퍼스 실리콘층을 사용해도 실용적인 스위칭 속도를 얻을 수 있지만, 단결정 실리콘 또는 다결정 실리콘층 쪽이 TFT 전압을 작게 할 수 있고, 화소 결합 감소 면에서도 아몰퍼스 실리콘보다 유리하다. 그리고, 이미 설명한 그래프에피택셜 성장 시에 단결정 실리콘뿐 아니라 다결정 실리콘도 동시에 생겨, 이른바 CSG(Continuous Grain Silicon) 구조도 포함되는 경우도 있지만, 이것도 능동 소자와 수동 소자의 형성에 사용할 수 있다.

도 74에는 각 부 사이에서의 MOSTFT의 각종 조합 예(A), (B), (C)를 도시하고, 도 75에는 그 구체 예를 예시하였다. 단결정 실리콘을 사용하면 전류 구동 능력이 향상되므로, 소자를 작게 할 수 있고 대화면화가 가능하게 되어 표시부에서는 개구율이 향상된다.

그리고, 주변 구동 회로부에서는 상기의 MOSTFT뿐 아니라, 다이오드, 커패시턴스, 저항, 인덕턴스 등을 집적한 전자 회로가 절연 기판(유리 기판 등)에 일체 형성될 수 있을은 물론이다.

〈제15 실시예〉

도 76은 본 발명의 제15 실시예를 도시한 것이다.

본 실시예는 전술한 각 실시예가 액티브 매트릭스 구동의 예에 대한 것인 데 대하여, 본 발명을 패시브 매트릭스(passive matrix) 구동에 적용한 것이다.

즉, 표시부는 전술한 MOSTFT와 같은 스위칭 소자를 배설하지 않고, 대항하는 기판에 형성한 한 쌍의 전극 간에 인가하는 전압에 의한 전위차만으로 표시부의 입사광 또는 반사광이 조광된다. 이러한 조광 소자는 반사형, 투과형 LCD를 비롯하여, 유기 또는 무기 EL(일렉트로루미네센스 표시 소자), FED(전계 방출형 표시 소자), LEPO(발광 폴리머 표시 소자), LED(발광 다이오드 표시 소자) 등도 포함된다.

〈제16 실시예〉

도 77은 본 발명의 제16 실시예를 도시한 것이다.

본 실시예는 본 발명을 LCD 이외의 전기 광학 장치인 유기 또는 무기 EL(일렉트로루미네센스) 소자나 FED(전계 방출형 표시 소자), LEPO(발광 폴리머 표시 소자), LED(발광 다이오드 표시 소자) 등에 적용한 것이다.

즉, 도 77 (A)에는 액티브 매트릭스 구동의 EL 소자를 도시하고, 예를 들면 아몰퍼스 유기 화합물을 사용한 유기 EL 층(또는 ZnS:Mn를 사용한 무기 EL 층)(90)을 기판(1)상에 형성하고, 그 하부에 이미 설명한 투명 전극(ITO)(41)을 형성하고, 상부에 음극(91)을 형성하여, 이들 양극 간의 전압 인가에 의하여 소정 색의 발광을 필터(61)를 통하여 얻을 수 있다.

이때, 액티브 매트릭스 구동에 의하여 특정 전극(41)으로 데이터 전압을 인가하기 위하여, 기판(1)상의 절정성 사파이어막(50) 및 단차(4)를 시드로 하여 촉매 CVD법에 의하여 에피택셜 성장시킨 단결정 실리콘층을 사용한 본 발명에 의한 단결정 실리콘 MOSTFT(즉, nMOSLDD-TFT)가 기판(1)상에 만들어져 있다. 동일한 TFT는 주변 구동 회로에도 배설된다. 이 EL 소자는 단결정 실리콘층을 사용한 MOSLDD-TFT를 구동하고 있으므로, 스위칭 속도가 빠르고 또 리크 전류도 적다. 그리고, 상기의 필터(61)는 EL 층(90)이 특정 색을 발광하는 것이라면 생략 가능하다.

그리고, EL 소자의 경우, 구동 전압이 높으므로 주변 구동 회로부에는 상기의 MOSTFT 이외에, 고내압의 드라이버 소자(고내압 nMOSTFT와 바이폴라 소자 등)를 배설하는 것이 유리하다.

도 77 (B)는 패시브 매트릭스 구동의 FED를 도시하여, 대항하는 유리 기판(1-32) 사이의 진공부에서 양 전극(92-93) 사이의 인가 전압에 의하여 방출극(94)으로부터 방출된 전자를 게이트 라인(95)의 선택에 의

하여 대항하는 형광체층(96)으로 입사시키고 소정 색의 발광을 얻는 것이다.

여기에서, 이미터 라인(emitter line)(92)은 주변 구동 회로에 유도되고 데이터 전압으로 구동되지만, 그 주변 구동 회로에는 본 발명에 따라 단결정 실리콘층을 사용한 MOSTFT가 배열되어 이미터 라인(92)의 고속 구동에 기여하고 있다. 그리고, 이 FED는 각 화소에 상기의 MOSTFT를 접속함으로써 액티브 매트릭스 구동시키는 것도 가능하다.

그리고, 도 77 (A)의 소자에서, 전 층(90) 대신 공지의 발광 폴리머를 사용하면 패시브 매트릭스 또는 액티브 매트릭스 구동의 발광 표시 장치(LED)로 구성할 수 있다. 그 외에, 도 77 (B)의 소자에서, 다이아몬드 박막을 캐소드 층에 사용한 FED와 유사한 다이아몬드 구성할 수 있다. 또, 발광 다이오드에서 발광부에 본 발명에 의하여 에피택셜 성장시킨 단결정 실리콘의 MOSTFT에 의하여, 예를 들면 갈륨계(갈륨·알루미늄·비소 등)의 락으로 이루어지는 발광부를 구성할 수 있다.

이상 설명한 본 발명의 실시예는 본 발명의 기술적 사상에 따라 여러 가지로 변형이 가능하다.

예를 들면, 전술한 촉매 CVD법에 의한 단결정 실리콘막(7)의 형성 시에, 디보란(diborane)(B₂H₆), 포스파인(phosphine)(PH₃), 아르신(arsine)(AsH₃), 스티빈(stibine)(SbH₃) 등을 공급하고, 이 공급 가스의 분해에 의하여 예를 들면 붕소, 인, 안티몬, 비소 등을 단결정 실리콘막(7)에 적량 도핑하면, 성장하는 실리콘 에피택셜 성장층(7)의 P형 또는 N형의 도전형이나, 그 캐리어 농도를 임의로 제어할 수 있다. 또, 단결정 실리콘막(7)은 고밀도 플라즈마 CVD법, 예를 들면 ECR(전자 사이클로트론 공명, Electron Cyclotron Resonance) 플라즈마 CVD 등에 의해서도 형성 가능하다.

또, 우리 기관으로부터의 이온의 확산 방지를 위하여 기판 표면에 SiN 막(예를 들면 두께 50~200nm), 또 한 필요에 따라 SiO₂ 막(예를 들면 두께 100nm)을 형성할 수도 있고, 또 이들 막에 이미 설명한 바와 같은 단차(4)를 형성할 수도 있다. 전술한 단차는 RIE 이외에도 이온 밀링(ion milling)법 등에 의해서도 형성 가능하다. 또, 전술한 바와 같이 단차(4)를 기판(1)에 형성하는 이외에도, 결정성 사파이어막 또는 사파이어 기판 자체의 두께 내에 단차(4)를 형성할 수도 있을은 물론이다.

또, 전술한 사파이어(Al₂O₃) 대신, 단결정 실리콘과 격자 정합이 양호한 스피넬 구조체(예를 들면 마그네시아 스피넬(magnesia spinel))(MgO·Al₂O₃)나 CaF₂, SrF₂, BaF₂, BP, (Y₂O₃)_n, (ZrO₂)_n 등이 사용 가능하다.

또, 본 발명은 주변 구동 회로의 TFT에 적합한 것이지만, 그 이외에도 다이오드 등의 소자의 능동 영역이나 저항, 캐패시턴스, 인덕턴스 등의 수동 영역을 본 발명에 의한 단결정 실리콘층으로 형성하는 것도 가능하다.

본 발명의 효과

본 발명에 의하면, 단결정 실리콘과 격자 정합이 양호한 결정성 사파이어막 등의 클립층을 시드트 하여 촉매 CVD법이나 고밀도 플라즈마 CVD법 등으로 특히 단결정 실리콘을 헤테르에피택셜 성장시키고, 얻어진 단결정 실리콘층을 표시부의 주변 구동 회로 및 액티브 매트릭스용 TFT 등의 전기 광학 장치의 주된 구동 회로부의 두 겹 게이트형 MOSTFT 등에 사용하고 있으므로, 다음의 (A)~(G)에 나타난 현저한 작용 효과를 얻을 수 있다.

(A) 단결정 실리콘과 격자 정합이 양호한 클립층(예를 들면 결정성 사파이어막)을 기판에 형성하고, 그 클립층을 시드트 하여 헤테르에피택셜 성장시킴으로써, 540cm²/V·sec 이상의 높은 전자 이동도의 단결정 실리콘층이 얻어지므로, 고성능 드라이버를 내장한 표시용 액티브 매트릭스 장치 등의 전기 광학 장치의 제조가 가능하게 된다.

(B) 특히, 이 단결정 실리콘층에 의한 단결정 실리콘 두 겹 게이트형 TFT는 높은 스위칭 특성을 가지고, LDD 구조를 가지는 nMOS 또는 pMOS 또는 CMOS로 이루어지는 표시부인, 높은 구동 능력을 가지는 CMOS 또는 nMOS 또는 pMOSTFT 또는 이들의 조합으로 이루어지는 주변 구동 회로를 일체화한 구성이 가능하게 되어 고화질, 고정세, 좁은 프레임 에지, 고조율, 큰 화면의 표시 패널이 실현된다.

(C) 특히, 주변 구동 회로로 두 겹 게이트형 MOSTFT를 사용하고 있으므로, 싱글 게이트형의 TFT에 비하여 1.5~2배 높은 구동 능력을 가지는 CMOS, nMOS 또는 pMOSTFT를 구성할 수 있어 보다 고정세이며 구동 능력이 큰 TFT가 되고, 특히 주변 구동 회로의 일부에 본 구동 능력을 가지는 TFT가 필요한 경우에는 적절하게 된다. 예를 들면, 주변의 한 쌍의 수직 구동 회로의 한쪽을 생략할 수 있을 뿐 아니라, 본 발명을 LCD 이외의 전기 광학 장치로서 유기 EL이나 FED 등에 적용하는 경우에 유리하다고 생각된다. 또, 유전 게이트 구조는 상하 게이트부의 선택에 의하여 두 게이트형이나 브릿지 게이트형으로도 용이하게 변경할 수 있고, 또 상하 게이트부의 어느 하나가 동작이 불가능하게 되어도 다른 한쪽의 게이트부를 사용할 수 있다는 것도 이점이다.

(D) 상기한 클립층을 헤테르에피택셜 성장의 시드트 사용하고, 또한 이 클립층상에 촉매 CVD법(촉매를 사용한 화학적 기상 성장: 기판 온도 200~300°C, 특히, 300~400°C) 등의 저온 막 형성 기술을 단결정 실리콘층을 형성할 수 있으므로, 기판상에 저온으로 단결정 실리콘층을 근밀하게 형성할 수 있다. 따라서, 열점이 비교적 낮은 우리 기관이나 내열성 유기 기판 등의 입수하기 쉽고 저코스트이며 클립도 양호한 기판을 사용할 수 있고, 또 기판의 대형화도 가능하게 된다.

(E) 고상 성장법의 경우와 같은 공온에서 장시간의 어닐링이나 액티브 레이저 어닐링이 불필요하게 되므로, 생산성이 높으며 고가인 제조 설비가 불필요하여 코스트 다운이 가능하게 된다.

(F) 이 헤테르에피택셜 성장에서는 결정성 사파이어막 등의 클립층의 결정성, 촉매 CVD 등의 가스 조성비, 기판 가열 온도, 냉각 속도 등의 조정에 의하여 광범위한 P형 또는 N형 등의 도전형과 고이동도의 단결정 실리콘 박막이 용이하게 얻어지므로, V_{th} 조정이 용이하고 저저항화에 의한 고속 동작이 가능하다.

(G) 또, 촉매 CVD 등에 의한 단결정 실리콘의 박 형성 시에 H_2 또는 V 족의 불순물 원소(붕소, 인, 안티몬, 비소, 비스머스, 알루미늄 등)를 드롭 가스로부터 개별적으로 적량 드롭해두면, 레티로에피택셜 성장에 의한 단결정 실리콘 박막의 불순물 종류 및/또는 그 농도, 즉 P형/N형의 도전형 및/또는 캐리어 농도를 임의로 제어할 수 있다.

(H) 결정성 사파이어막 등의 상기 물질층은 다양한 원자의 작은 배리어가 되므로 유리 기판으로부터의 불순물의 확산을 억제할 수 있다.

(5) 청구의 범위

청구항 1. 화소 전극이 배열된 표시부와, 이 표시부의 주변에 배열된 주변 구동 회로부를 제1 기판상에 가지고, 이 제1 기판과 제2 기판과의 사이에 소정의 광학 재료를 게재시켜 이루어지는 전기 광학 장치에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 절연막으로 이루어지는 게이트부가 형성되고,

상기 제1 기판의 상기 한쪽의 면상에 단결정 실리콘과 격자(格子) 정합이 양호한 물질층이 형성되고,

상기 물질층 및 상기 게이트부를 포함하는 상기 제1 기판상에 단결정 실리콘층이 형성되고,

상기 단결정 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지는 듀얼 게이트형의 제1 박막 트랜지스터가 상기 주변 구동 회로부의 최소한 일부를 구성하고 있는

것을 특징으로 하는 전기 광학 장치.

청구항 2. 제1항에 있어서,

상기 제1 기판으로서 절연기판이 사용되고, 상기 물질층이 사파이어, 스피넬 구조체, 플화 칼슘, 플화 스트론튬, 플화 바륨, 인화 붕소, 산화 이트륨, 산화 지르코늄으로 이루어지는 군으로부터 선정된 물질로 형성되어 있는 전기 광학 장치.

청구항 3. 제1항에 있어서,

상기 단결정 실리콘층의 H 족 또는 V 족의 불순물 종류 및/또는 그 농도가 제어되어 있는 전기 광학 장치.

청구항 4. 제1항에 있어서,

상기 제1 기판과, 상기 단결정 실리콘층과의 사이에 확산 배리어층이 배열되어 있는 전기 광학 장치.

청구항 5. 제1항에 있어서,

상기 단결정 실리콘층 아래의 상기 게이트부가 그 측단부에서 사다리꼴 형상으로 되어 있는 전기 광학 장치.

청구항 6. 제1항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 이외에, 단결정 또는 아몰퍼스 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 볼 게이트형, 보털 게이트형 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 단결정 실리콘층 또는 단결정 실리콘층 또는 아몰퍼스 실리콘층을 사용한 다이오드, 저항, 커패시터, 인덕터 소자 등이 배열되어 있는 전기 광학 장치.

청구항 7. 제1항에 있어서,

상기 표시부에 있어서, 상기 화소 전극을 스위칭하기 위한 스위칭 소자가 상기 제1 기판상에 배열되어 있는 전기 광학 장치.

청구항 8. 제1항에 있어서,

상기 제1 박막 트랜지스터가 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 볼 게이트형, 보털 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 듀얼 게이트형으로 이루어지고, 또한 상기 스위칭 소자가 상기 볼 게이트형, 상기 보털 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터인 전기 광학 장치.

청구항 9. 제8항에 있어서,

상기 채널 영역의 하부에 배열된 게이트 전극은 내열성 재질로 형성되어 있는 전기 광학 장치.

청구항 10. 제8항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형(相補型)의 절연 게이트 전계 효과 트랜지스터를 구성하고 있는 전기 광학 장치.

청구항 11. 제10항에 있어서,

상기 주변 구동 회로부의 상기 박막 트랜지스터가 상보형과 n채널형과의 조(組), 상보형과 p채널형과의 조, 또는 상보형과 n채널형과 p채널형과의 조로 이루어지는 전기 광학 장치.

청구항 12. 제8항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터의 최소한 일부가 LDD(Light Doped

Drain) 구조를 가지고, 이 LDD 구조가 게이트와 소스 또는 드레인과의 사이에 LDD부가 존재하는 것을 단
입, 또는 게이트와 소스 및 드레인과의 사이에 LDD부를 각각 가지는 더블 라인인 전기 광학 장치.

청구항 13. 제8항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터가 싱글 게이트 또는 멀티 게이트로 구성
되고, 멀티 게이트의 경우에는 채널 영역 내에 20이상의 분기(分岐)된 동일 전위의, 또는 분할된 상이 전
위 또는 동일 전위의 게이트 전극을 가지는 전기 광학 장치.

청구항 14. 제8항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 n 또는 p채널형의 박막 트랜지스터가 단일 게이트형일 때
는, 상부 또는 하부 게이트 전극이 전기적으로 오픈으로 되거나 또는 일익의 부(負)전압(n채널형의 경우)
또는 정(正)전압(p채널형의 경우)이 인가되고, 브릿 게이트형 또는 롤 게이트형의 박막 트랜지스터로서
동작되는 전기 광학 장치.

청구항 15. 제10항에 있어서,

상기 주변 구동 회로부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형의 상기 제1 박막 트랜지스터
이고, 상기 표시부의 박막 트랜지스터가 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또
는 상보형이고, 다결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형이고, 아몰퍼스
실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형인 전기 광학 장치.

청구항 16. 제1항에 있어서,

상기 제1 기판상에 단차가 형성되고, 이 단차를 포함하는 상기 제1 기판상에 상기 물질층이 형성되고, 이
물질층상에 상기 단결정 실리콘층이 형성되어 있는 전기 광학 장치.

청구항 17. 제16항에 있어서,

단면(斷面)에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 오부(凹
部)로 하여 상기 단차가 형성되고, 이 단차가 상기 물질층과 함께 상기 단결정 실리콘층의
에피택셜(epitaxial) 성장시의 시드(seed)로 되어 있는 전기 광학 장치.

청구항 18. 제17항에 있어서,

상기 제1 박막 트랜지스터가, 상기 제1 기판 및/또는 그 위익 막에 형성된 상기 단차에 의한 기판 오부
내 및/또는 외에 배열되어 있는 전기 광학 장치.

청구항 19. 제16항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역
의 최소한 일변에 따라 형성되어 있는 전기 광학 장치.

청구항 20. 제1항에 있어서,

상기 물질층상에 단차가 형성되고, 이 단차를 포함하는 상기 물질층상에 상기 단결정 실리콘층이 형성되
어 있는 전기 광학 장치.

청구항 21. 제20항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 오부(凹)로 하여
상기 단차가 형성되고, 이 단차가 상기 물질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로
되어 있는 전기 광학 장치.

청구항 22. 제20항에 있어서,

상기 제1 박막 트랜지스터가 상기 제1 기판 및/또는 그 위익 막에 형성된 상기 단차에 의한 기판 오부
내 및/또는 외에 배열되어 있는 전기 광학 장치.

청구항 23. 제20항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역
의 최소한 일변에 따라 형성되어 있는 전기 광학 장치.

청구항 24. 제8항에 있어서,

상기 제1 기판의 상기 한쪽의 면상에 단차가 형성되고, 이 단차를 포함하는 상기 제1 기판상에 단결정,
다결정 또는 아몰퍼스 실리콘층이 형성되고, 상기 제2 박막 트랜지스터가 상기 단결정, 다결정 또는 아몰
퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및/또는 하부
에 게이트부를 가지는 전기 광학 장치.

청구항 25. 제24항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 오부(凹)로 하여
상기 단차가 형성되고, 이 단차가 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 되어 있는 전기 광
학 장치.

청구항 26. 제24항에 있어서,

상기 제1 및/또는 제2 박막 트랜지스터의 소스 또는 드레인 전극이 상기 단차를 포함하는 영역상에 형성
되어 있는 전기 광학 장치.

청구항 27. 제24항에 있어서,

상기 제2 박막 트랜지스터가 상기 제1 기판 밑 / 또는 그 위인 막에 형성된 상기 단차에 의한 기판 오버 래 및 / 또는 위에 배열되어 있는 전기 광학 장치.

청구항 28. 제24항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층의 III족 또는 V족의 불순물 종류 및 / 또는 그 농도가 제어 되어 있는 전기 광학 장치.

청구항 29. 제24항에 있어서,

상기 단차가, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형 성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치.

청구항 30. 제24항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층 아래의 게이트 전극이 그 측단부에서 사다리꼴 형상으로 된 어 있는 전기 광학 장치.

청구항 31. 제24항에 있어서,

상기 제1 기판과 상기 단결정, 다결정 또는 아몰퍼스 실리콘층과의 사이에 확산 배리어층이 배열되어 있 는 전기 광학 장치.

청구항 32. 제1항에 있어서,

상기 제1 기판이 유리 기판 또는 내열성 유기(有機) 기판인 전기 광학 장치.

청구항 33. 제1항에 있어서,

상기 기판이 광학적으로 불투명 또는 투명인 전기 광학 장치.

청구항 34. 제1항에 있어서,

상기 화소 전극이 반사형 또는 투과형의 포시부층으로서 배열되어 있는 전기 광학 장치.

청구항 35. 제1항에 있어서,

상기 포시부가 상기 화소 전극과 컬러 필터층과의 적층 구조를 가지고 있는 전기 광학 장치.

청구항 36. 제1항에 있어서,

상기 화소 전극이 반사 전극일 때는, 수지막에 요철(凹凸)이 형성되고, 그 위에 화소 전극이 배열되고, 또 상기 화소 전극이 투명 전극일 때는 투명 평탄화막에 의해 포시가 평탄화되고, 그 평탄화면상에 상기 화소 전극이 배열되어 있는 전기 광학 장치.

청구항 37. 제7항에 있어서,

상기 포시부가 상기 스위칭 소자에 의한 구동으로 칼광 또는 조광(調光)을 행하도록 구성된 전기 광학 장 치.

청구항 38. 제7항에 있어서,

상기 포시부에 복수의 상기 화소 전극이 매트릭스형으로 배열되고, 이들 화소 전극의 각각에 상기 스위칭 소자가 접속되어 있는 전기 광학 장치.

청구항 39. 제1항에 있어서,

액정포시 장치, 일렉트로루미네센스 포시 장치, 전계 방출형 포시 장치, 발광 클리어 포시 장치, 칼광 다 이오드 포시 장치 등으로서 구성된 전기 광학 장치.

청구항 40. 화소 전극이 배열된 포시부와, 이 포시부의 주변에 배열된 주변 구동 회로부를 기판상에 가지는 전기 광학 장치용 구동 기판에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부가 형성되고,

상기 제1 기판의 상기 한쪽의 면상에 단결정 실리콘과 격자 정합이 양호한 물질층이 형성되고,

상기 물질층 및 상기 게이트부를 포함하는 상기 제1 기판상에 단결정 실리콘층이 형성되고,

상기 단결정 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 하부 에 상기 게이트부를 각각 가지는 듀얼 게이트형의 제1 박막 트랜지스터가 상기 주변 구동 회로부의 최소 한 일부를 구성하고 있는

것을 특징으로 하는 전기 광학 장치용 구동 기판.

청구항 41. 제40항에 있어서,

상기 기판으로서 절연기판이 사용되고, 상기 물질층이 사파이어, 스피널 구조체, 불화 칼슘, 불화 스트론튬, 불화 바륨, 인화 붕소, 산화 이트륨, 산화 지르코늄으로 이루어지는 군으로부터 선정된 물질로 형성 되어 있는 전기 광학 장치용 구동 기판.

청구항 42. 제40항에 있어서,

상기 단결정 실리콘층의 III족 또는 V족의 불순물 종류 및 / 또는 그 농도가 제어되어 있는 전기 광학 장

치용 구동 기관.

청구항 43. 제40항에 있어서,

상기 기관과 상기 단결정 실리콘층과의 사이에 확산 배리어층이 배설되어 있는 전기 광학 장치용 구동 기관.

청구항 44. 제40항에 있어서,

상기 단결정 실리콘층 아래의 상기 게이트부가 그 측면부에서 사다리꼴 형상으로 되어 있는 전기 광학 장치용 구동 기관.

청구항 45. 제40항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 이외에, 다결정 또는 아몰퍼스 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 플 게이트형, 보형 게이트형 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 단결정 실리콘층 또는 다결정 실리콘층 또는 아몰퍼스 실리콘층을 사용한 다이오드, 저항, 커패시터, 인덕터 소자 등이 배설되어 있는 전기 광학 장치용 구동 기관.

청구항 46. 제40항에 있어서,

상기 표시부에 있어서, 상기 화소 전극을 스위칭하기 위한 스위칭 소자가 상기 기관상에 배설되어 있는 전기 광학 장치용 구동 기관.

청구항 47. 제46항에 있어서,

상기 제1 박막 트랜지스터가 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 플 게이트형, 보형 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 듀얼 게이트형으로 이루어지고, 또한 상기 스위칭 소자가 플 게이트형, 상기 보형 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터인 전기 광학 장치용 구동 기관.

청구항 48. 제46항에 있어서,

상기 채널 영역의 하부에 배설된 게이트 전극은 내열성 재료가 형성되어 있는 전기 광학 장치용 구동 기관.

청구항 49. 제47항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형의 절연 게이트 전계 효과 트랜지스터를 구성하고 있는 전기 광학 장치용 구동 기관.

청구항 50. 제49항에 있어서,

상기 주변 구동 회로부의 상기 박막 트랜지스터가 상보형과 n채널형과의 조, 상보형과 p채널형과의 조, 또는 상보형과 n채널형과 p채널형과의 조로 이루어지는 전기 광학 장치용 구동 기관.

청구항 51. 제47항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터의 최소한 일부가 LDD구조를 가지고, 이 LDD구조가 게이트와 소스 또는 드레인과의 사이에 LDD부가 존재하는 싱글 라인, 또는 게이트와 소스 및 드레인과의 사이에 LDD부를 각각 가지는 더블 라인인 전기 광학 장치용 구동 기관.

청구항 52. 제47항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터가 싱글 게이트 또는 멀티 게이트로 구성되고, 멀티 게이트의 경우에는 채널 영역 내에 2미상의 복가된 동일 전위의, 또는 복가된 상이 전위 또는 동일 전위의 게이트 전극을 가지는 전기 광학 장치용 구동 기관.

청구항 53. 제47항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 n 또는 p 채널형의 박막 트랜지스터가 듀얼 게이트형일 때는, 상부 또는 하부 게이트 전극이 전기적으로 오픈으로 되거나 또는 암의 부전압(n채널형의 경우) 또는 정전압(p채널형의 경우)이 인가되고, 보형 게이트형 또는 플 게이트형의 박막 트랜지스터로서 동작되는 전기 광학 장치용 구동 기관.

청구항 54. 제49항에 있어서,

상기 주변 구동 회로부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형의 상기 제1 박막 트랜지스터이고, 상기 표시부의 박막 트랜지스터가 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형이고, 다결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형이고, 아몰퍼스 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형인 전기 광학 장치용 구동 기관.

청구항 55. 제40항에 있어서,

상기 기관상에 단차가 형성되고, 이 단차를 포함하는 상기 기관상에 상기 클질층이 형성되고, 이 클질층상에 상기 단결정 실리콘층이 형성되어 있는 전기 광학 장치용 구동 기관.

청구항 56. 제55항에 있어서,

단면에 있어서 거면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부로부터 상기 단차가 형성되고, 이 단차가 상기 클질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 되어 있는 전기 광학 장치용 구동 기관.

청구항 57. 제56항에 있어서,

상기 제1 박막 트랜지스터가 상기 기판 밑 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 요부 내 밑 / 또는 위에 배설되어 있는 전기 광학 장치를 구동 기관.

청구항 58. 제55항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치를 구동 기관.

청구항 59. 제40항에 있어서,

상기 물질층에 단차가 형성되고, 이 단차를 포함하는 상기 물질층상에 상기 단결정 실리콘층이 형성되어 있는 전기 광학 장치를 구동 기관.

청구항 60. 제59항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부를 하여 상기 단차가 형성되고, 이 단차가 상기 물질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드트 되어 있는 전기 광학 장치를 구동 기관.

청구항 61. 제59항에 있어서,

상기 제1 박막 트랜지스터가 상기 기판 밑 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 요부 내 밑 / 또는 위에 배설되어 있는 전기 광학 장치를 구동 기관.

청구항 62. 제59항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치를 구동 기관.

청구항 63. 제47항에 있어서,

상기 기판의 상기 한쪽의 면상에 단차가 형성되고, 이 단차를 포함하는 상기 기판상에 단결정, 다결정 또는 아몰퍼스 실리콘층이 형성되고, 상기 제2의 박막 트랜지스터가 상기 단결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 밑 / 또는 하부에 게이트부를 가지는 전기 광학 장치를 구동 기관.

청구항 64. 제63항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부를 하여 상기 단차가 형성되고, 이 단차가 상기 단결정 실리콘층의 에피택셜 성장시의 시드트 되어 있는 전기 광학 장치를 구동 기관.

청구항 65. 제63항에 있어서,

상기 제1 밑 / 또는 제2 박막 트랜지스터의 소스 또는 드레인 전극이 상기 단차를 포함하는 영역상에 형성되어 있는 전기 광학 장치를 구동 기관.

청구항 66. 제63항에 있어서,

상기 제2 박막 트랜지스터가 상기 기판 밑 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 요부 내 밑 / 또는 위에 배설되어 있는 전기 광학 장치를 구동 기관.

청구항 67. 제53항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층의 π 족 또는 ν 족의 흡수를 증류 밑 / 또는 그 농도가 제어되어 있는 전기 광학 장치를 구동 기관.

청구항 68. 제63항에 있어서,

상기 단차가, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치를 구동 기관.

청구항 69. 제63항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층 아래의 게이트 전극이 그 측단부에서 사다리꼴 형상으로 되어 있는 전기 광학 장치를 구동 기관.

청구항 70. 제63항에 있어서,

상기 기판과 상기 단결정, 다결정 또는 아몰퍼스 실리콘층과의 사이에 확산 배리어층이 배설되어 있는 전기 광학 장치를 구동 기관.

청구항 71. 제40항에 있어서,

상기 기판이 유리 기판 또는 내열성 유기 기판인 전기 광학 장치를 구동 기관.

청구항 72. 제40항에 있어서,

상기 기판이 광학적으로 투명 또는 투명인 전기 광학 장치를 구동 기관.

청구항 73. 제40항에 있어서,

상기 화소 전극이 반사형 또는 투과형의 포시부층으로서 배설되어 있는 전기 광학 장치를 구동 기관.

청구항 74. 제40항에 있어서,

상기 표시부가 상기 화소 전극과 컬러 필터층과의 적층 구조를 가지고 있는 전기 광학 장치용 구동 기관.

청구항 75. 제40항에 있어서,

상기 화소 전극이 방사 전극일 때는, 수지막에 요철이 형성되고, 그 위에 화소 전극이 배열되고, 또 상기 화소 전극이 투명 전극일 때는 투명 평탄화막에 의해 표면이 평탄화되고, 그 평탄화면상에 상기 화소 전극이 배열되어 있는 전기 광학 장치용 구동 기관.

청구항 76. 제46항에 있어서,

상기 표시부가 상기 스위칭 소자에 의한 구동으로 발광 또는 조광을 행하도록 구성된 전기 광학 장치용 구동 기관.

청구항 77. 제46항에 있어서,

상기 표시부에 복수의 상기 화소 전극이 매트릭스형으로 배열되고, 이들 화소 전극의 각각에 상기 스위칭 소자가 접속되어 있는 전기 광학 장치용 구동 기관.

청구항 78. 제40항에 있어서,

액정 표시 장치, 일렉트로루미네센스장치, 전계 발광형 표시 장치 또는 발광 폴리머 표시 장치 등으로서 구성된 전기 광학 장치용 구동 기관.

청구항 79. 화소 전극이 배열된 표시부와, 이 표시부의 주변에 배열된 주변 구동 회로부를 제1 기관상에 가지고, 이 제1 기관과 제2 기관과의 사이에 소정의 광학 재료를 개재시켜 이루어지는 전기 광학 장치의 제조 방법에 있어서,

상기 제1 기관의 한쪽의 면상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부를 형성하는 공정과,

상기 제1 기관의 상기 한쪽의 면상에 단결정 실리콘과 격자 정합이 양호한 물질층을 형성하는 공정과,

상기 물질층 및 상기 게이트부를 포함하는 상기 제1 기관상에, 촉매 CVD법 또는 고밀도 플라즈마 CVD법에 의해 상기 물질층을 시드층 하에 단결정 실리콘층을 헤테로에피택셜(heteroepitaxial) 성장시키는 공정과,

상기 단결정 실리콘층에 소정의 처리를 행하여 채널 영역, 소스 영역 및 드레인 영역을 형성하는 공정과,

상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지고, 상기 주변 구동 회로부의 최소한 일부를 구성하는 규질 게이트형의 제1 박막 트랜지스터를 형성하는 공정

으로 이루어지는 것을 특징으로 하는 전기 광학 장치의 제조 방법.

청구항 80. 제79항에 있어서,

상기 제1 기관으로서 절연기관을 사용하고, 상기 물질층을 사파이어, 스피널 구조체, 불화 칼슘, 불화 스트론튬, 불화 바륨, 인화 붕소, 산화 미르 및 산화 지르코늄으로 이루어지는 군으로부터 선정된 물질로 형성하는 전기 광학 장치의 제조 방법.

청구항 81. 제79항에 있어서,

상기 단결정 실리콘층을 200~300℃에서 형성하는 전기 광학 장치의 제조 방법.

청구항 82. 제79항에 있어서,

상기 촉매 CVD법에 의한 상기 단결정 실리콘층의 형성시, 수소화 규소를 주성분으로 하는 가스를 가열된 촉매체에 접촉시켜 분해시키고, 상기 제1 기관상에 상기 단결정 실리콘층을 퇴적시키는 전기 광학 장치의 제조 방법.

청구항 83. 제82항에 있어서,

상기 수소화 규소로서 트리스일란, 디실란, 트리실란 및 테트라실란 등의 실란계 가스를 사용하고, 상기 촉매체로서 텅스텐, 산화텅스텐을 함유하는 텅스텐, 몰리브덴, 백금, 팔라듐, 실리콘, 알루미늄, 금속을 부착한 세라믹스, 및 탄화규소로 이루어지는 군으로부터 선정된 최소한 1종의 재료를 사용하는 전기 광학 장치의 제조 방법.

청구항 84. 제79항에 있어서,

상기 단결정 실리콘층의 성장시에 III족 또는 V족의 불소를 원소를 혼입시키고, 이로써 상기 단결정 실리콘층의 불순물 종류 및/또는 그 농도를 제어하는 전기 광학 장치의 제조 방법.

청구항 85. 제79항에 있어서,

상기 제1 기관상에 확산 배리어층을 형성하고, 그 위에 상기 단결정 실리콘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 86. 제79항에 있어서,

상기 단결정 실리콘층 아래의 상기 게이트 전극을 그 측단부에서 사다리꼴 형상으로 하는 전기 광학 장치의 제조 방법.

청구항 87. 제79항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 이외에, 다결정 또는 아몰퍼스 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 통 게이트형, 브릿 게이트형 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 다결정 실리콘층 또는 다결정 실리콘층 또는 아몰퍼스 실리콘층을 사용한 다이오드, 저항, 커패시턴스, 인덕턴스 소자 등을 배열하는 전기 광학 장치의 제조 방법.

청구항 88. 제79항에 있어서,

상기 포시부에 있어서, 상기 화소 전극을 스위칭하기 위한 스위칭 소자를 상기 제1 기관상에 배열하는 전기 광학 장치의 제조 방법.

청구항 89. 제88항에 있어서,

상기 제1 박막 트랜지스터를, 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 통 게이트형, 브릿 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 듀얼 게이트형으로 하고, 또한 상기 스위칭 소자로서 상기 통 게이트형, 상기 브릿 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 90. 제89항에 있어서,

상기 채널 영역의 하부에 배열된 게이트 전극을 내열성 재료가 형성하는 전기 광학 장치의 제조 방법.

청구항 91. 제89항에 있어서,

상기 제2 박막 트랜지스터가, 브릿 게이트형 또는 듀얼 게이트형일 때는 상기 채널 영역의 하부에 내열성 재료가 이루어지는 하부 게이트 전극을 배열하고, 이 게이트 전극상에 게이트 절연막을 형성하여 하부 게이트부를 형성한 후, 상기 불결함의 형성 공정을 포함하여 상기 제1 박막 트랜지스터와 동일한 공정을 거쳐 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 92. 제91항에 있어서,

상기 하부 게이트부에 상기 다결정 실리콘층을 형성한 후, 이 다결정 실리콘층에 H 족 또는 V 족의 불순물을 원소를 도입하고, 소스 및 드레인 영역을 형성한 후, 활성화 처리를 행하는 전기 광학 장치의 제조 방법.

청구항 93. 제92항에 있어서,

상기 다결정 실리콘층의 형성후 레지스트를 마스크 하여 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 불순물 원소의 이온 주입으로 형성하고, 이 이온 주입후 상기 활성화 처리를 행하고, 게이트 절연막의 형성후, 상기 제1 박막 트랜지스터의 상부게이트 전극과, 필요하다면 상기 제2 박막 트랜지스터의 상부게이트 전극을 형성하는 전기 광학 장치의 제조 방법.

청구항 94. 제89항에 있어서,

상기 제2 박막 트랜지스터가 통 게이트형일 때, 상기 다결정 실리콘층의 형성후 레지스트를 마스크 하여 상기 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 불순물 원소의 이온 주입으로 형성하고, 이 이온 주입후 활성화 처리를 행하고, 그 후 상기 제1 및 제2 박막 트랜지스터의 게이트 절연막과 게이트 전극으로 이루어지는 각 게이트부를 형성하는 전기 광학 장치의 제조 방법.

청구항 95. 제89항에 있어서,

상기 제2 박막 트랜지스터가 통 게이트형일 때, 상기 다결정 실리콘층의 형성후 상기 제1 및 제2 박막 트랜지스터의 각 게이트 절연막과 내열성 재료가 이루어지는 각 게이트 전극과를 형성하여 각 게이트부를 형성하고, 이들 게이트부 및 레지스트를 마스크 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 불순물 원소의 이온 주입으로 형성하고, 이 이온 주입후 상기 활성화 처리를 행하는 전기 광학 장치의 제조 방법.

청구항 96. 제89항에 있어서,

상기 주변 구동 회로부 및 상기 포시부의 박막 트랜지스터로서 n채널형, p채널형 또는 상트형의 절연 게이트 전계 효과 트랜지스터를 구성하는 전기 광학 장치의 제조 방법.

청구항 97. 제96항에 있어서,

상기 주변 구동 회로부의 상기 박막 트랜지스터를 상트형과 n채널형과의 조, 상트형과 p채널형과의 조, 또는 상트형과 n채널형과 p채널형과의 조로 형성하는 전기 광학 장치의 제조 방법.

청구항 98. 제92항에 있어서,

상기 주변 구동 회로부 및/또는 상기 포시부의 박막 트랜지스터의 최소한 일부를 LDD 구조로 하고, 이 LDD구조를 게이트와 소스 또는 드레인과의 사이에 LDD부가 존재하는 싱글 라인, 또는 게이트와 소스 및 드레인과의 사이에 LDD부를 각각 가지는 더블 라인으로 하는 전기 광학 장치의 제조 방법.

청구항 99. 제98항에 있어서,

상기 LDD구조를 형성할 때 사용한 레지스트 마스크를 날기고, 이것을 덮는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 이온 주입을 행하는 전기 광학 장치의 제조 방법.

청구항 100. 제98항에 있어서,

상기 기판의 한쪽의 면상에 다결정, 다결정 또는 아몰퍼스 실리콘층을 형성하고, 상기 다결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 그 상부 및/또는 하부에 게이트

트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 101. 제100항에 있어서,

상기 주면 구동 회로부의 박막 트랜지스터를 n채널형, p채널형 또는 상트형인 상기 제1 박막 트랜지스터로 하고, 상기 표시부의 박막 트랜지스터를 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상트형으로 하고, 다결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상트형으로 하고, 아몰퍼스 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상트형으로 하는 전기 광학 장치의 제조 방법.

청구항 102. 제79항에 있어서,

상기 제1 기판상에 단차를 형성하고, 이 단차를 포함하는 상기 제1 기판상에 상기 물질층을 형성하고, 이 물질층상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 103. 제102항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부로 하여 상기 단차를 형성하고, 이 단차를 상기 물질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드층으로 하는 전기 광학 장치의 제조 방법.

청구항 104. 제102항에 있어서,

상기 제1 박막 트랜지스터를, 상기 제1 기판 및/또는 그 위의 막에 형성한 상기 단차에 의한 기판 오버래 및/또는 위에 배설하는 전기 광학 장치의 제조 방법.

청구항 105. 제102항에 있어서,

상기 단차를, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성하는 전기 광학 장치의 제조 방법.

청구항 106. 제79항에 있어서,

상기 물질층에 단차를 형성하고, 이 단차를 포함하는 상기 물질층상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 107. 제106항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부로 하여 상기 단차를 형성하고, 이 단차를 상기 물질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드층으로 하는 전기 광학 장치의 제조 방법.

청구항 108. 제106항에 있어서,

상기 제1 박막 트랜지스터를 상기 제1 기판 및/또는 그 위의 막에 형성된 상기 단차에 의한 기판 오버래 및/또는 위에 배설하는 전기 광학 장치의 제조 방법.

청구항 109. 제106항에 있어서,

상기 단차를, 상기 제1 박막 트랜지스터의 상기 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성하는 전기 광학 장치의 제조 방법.

청구항 110. 제100항에 있어서,

상기 제1 기판의 상기 한쪽의 면상에 단차를 형성하고, 이 단차를 포함하는 상기 제1 기판상에 단결정, 다결정 또는 아몰퍼스 실리콘층을 형성하고, 상기 단결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 그 상부 및/또는 하부에 게이트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 111. 제108항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부로 하여 상기 단차를 형성하고, 이 단차를 상기 단결정 실리콘층의 에피택셜 성장시의 시드층으로 하는 전기 광학 장치의 제조 방법.

청구항 112. 제108항에 있어서,

상기 제1 및/또는 제2 박막 트랜지스터의 소스 또는 드레인 전극을 상기 단차를 포함하는 영역상에 형성하는 전기 광학 장치의 제조 방법.

청구항 113. 제108항에 있어서,

상기 제2 박막 트랜지스터를 상기 제1 기판 및/또는 그 위의 막에 형성된 상기 단차에 의한 기판 오버래 및/또는 위에 배설하는 전기 광학 장치의 제조 방법.

청구항 114. 제100항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층의 III족 또는 V족의 불순물 종류 및/또는 그 농도를 제어하는 전기 광학 장치의 제조 방법.

청구항 115. 제108항에 있어서,

상기 단차를, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성하는 전기 광학 장치의 제조 방법.

청구항 116. 제 100항에 있어서,

상기 단결정, 단결정 또는 아몰퍼스 실리콘층 아래의 게이트 전극을 그 층단부에서 사다리를 형상으로 하는 전기 광학 장치의 제조 방법.

청구항 117. 제 100항에 있어서,

상기 제 1 기관과, 상기 단결정, 단결정 또는 아몰퍼스 실리콘층과의 사이에 확산 배리어층을 배설하는 전기 광학 장치의 제조 방법.

청구항 118. 제 79항에 있어서,

상기 제 1 기관을 유리 기관 또는 내열성 유기 기관으로 하는 전기 광학 장치의 제조 방법.

청구항 119. 제 79항에 있어서,

상기 기관을 광학적으로 불투명 또는 투명으로 하는 전기 광학 장치의 제조 방법.

청구항 120. 제 79항에 있어서,

상기 화소 전극을 반사형 또는 투과형의 포시부층으로서 배설하는 전기 광학 장치의 제조 방법.

청구항 121. 제 100항에 있어서,

상기 포시부에 상기 화소 전극과 컬러 필터층과의 적층 구조를 배설하는 전기 광학 장치의 제조 방법.

청구항 122. 제 79항에 있어서,

상기 화소 전극이 반사 전극일 때는, 수지막에 요철을 형성하고, 그 위에 화소 전극을 배설하고, 또 상기 화소 전극이 투명 전극일 때는 투명 평탄화막에 의해 포면을 평탄화하고, 그 평탄화면상에 상기 화소 전극을 배설하는 전기 광학 장치의 제조 방법.

청구항 123. 제 86항에 있어서,

상기 포시부를 상기 스위칭 소자에 의한 구동으로 발광 또는 조광을 행하도록 구성하는 전기 광학 장치의 제조 방법.

청구항 124. 제 86항에 있어서,

상기 포시부에 복수의 상기 화소 전극을 매트릭스형으로 배열하고, 이들 화소 전극의 각각에 상기 스위칭 소자를 접속하는 전기 광학 장치의 제조 방법.

청구항 125. 제 79항에 있어서,

액정포시 장치, 광택트루미네센스 포시 장치, 전계 광굴절 포시 장치, 광광 플러머 포시 장치, 광광 다미오드 포시 장치 등으로서 구성하는 전기 광학 장치의 제조 방법.

청구항 126. 화소 전극이 배설된 포시부인, 이 포시부의 주변에 배설된 주변 구동 회로부를 기관상에 가지는 전기 광학 장치용 구동 기관의 제조 방법에 있어서,

상기 기관의 한쪽의 연상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부를 형성하는 공정과,

상기 기관의 상기 한쪽의 연상에 단결정 실리콘과 격자 정합이 양호한 물질층을 형성하는 공정과,

상기 물질층 및 상기 게이트부를 포함하는 상기 기관상에, 촉매 CVD법 또는 고밀도 플라즈마 CVD법 등에 의해 상기 물질층을 시드트 하여 단결정 실리콘층을 에피택셜 성장시키는 공정과,

상기 단결정 실리콘층에 소정의 처리를 행하여 채널 영역, 소스 영역 및 드레인 영역을 형성하는 공정과,

상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지고, 상기 주변 구동 회로부의 최소한 일부를 구성하는 듀얼 게이트형의 제 1 박막 트랜지스터를 형성하는 공정

으로 이루어지는 것을 특징으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 127. 제 126항에 있어서,

상기 기관으로서 절연기관을 사용하고, 상기 물질층을 사파이어, 스피넬 구조체, 불화 칼슘, 불화 스트론튬, 불화 바륨, 인화 붕소, 산화 마그네슘, 산화 지르코늄으로 이루어지는 군으로부터 선정된 물질로 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 128. 제 126항에 있어서,

상기 단결정 실리콘층을 200~800℃에서 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 129. 제 126항에 있어서,

상기 촉매 CVD법에 의한 상기 단결정 실리콘층의 형성시, 수소화 구소를 주성분으로 하는 가스를 가열된 촉매체에 접촉시켜 분해시키고, 상기 기관상에 상기 단결정 실리콘층을 퇴적시키는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 130. 제 129항에 있어서,

상기 수소화 구소로서 디노실란, 디실란, 트리실란 및 테트라실란 등의 실란계 가스를 사용하고, 상기 촉매체로서 텅스텐, 산화텅스텐을 함유하는 텅스텐, 몰리브덴, 백금, 팔라듐, 실리콘, 알루미늄, 금속을 포함하는 세라믹스, 및 산화구소로 이루어지는 군으로부터 선정된 최소한 1종의 재료를 사용하는 전기 광학 장

차용 구동 기관의 제조 방법.

청구항 131. 제126항에 있어서,

상기 단결정 실리콘층의 성장시에 H_2 또는 V 족의 불순물을 혼입시키고, 이로써 상기 단결정 실리콘층의 불순물 농도 및/또는 그 농도를 제어하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 132. 제126항에 있어서,

상기 기관상에 확산 배리어층을 형성하고, 그 위에 상기 단결정 실리콘층을 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 133. 제126항에 있어서,

상기 단결정 실리콘층 아래의 상기 게이트 전극을 그 측단부에서 사다리꼴 형상으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 134. 제126항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 이외에, 단결정 또는 아몰퍼스 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 톱 게이트형, 브릿 게이트형 또는 듀얼 게이트형 박막 트랜지스터, 또는 상기 단결정 실리콘층 또는 아몰퍼스 실리콘층을 사용한 다이오드, 저항, 커패시턴스, 인덕턴스 소자 등을 배설하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 135. 제126항에 있어서,

상기 표시부에 있어서, 상기 화소 전극을 스위칭하기 위한 스위칭 소자를 상기 기관상에 배설하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 136. 제135항에 있어서,

상기 제1 박막 트랜지스터를, 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 톱 게이트형, 브릿 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 듀얼 게이트형으로 하고, 또한 상기 스위칭 소자로서 상기 톱 게이트형, 상기 브릿 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터를 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 137. 제136항에 있어서,

상기 채널 영역의 하부에 배설된 게이트 전극을 내열성 재질로 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 138. 제136항에 있어서,

상기 제2 박막 트랜지스터가, 브릿 게이트형 또는 듀얼 게이트형일 때는 상기 채널 영역의 하부에 내열성 재질로 이루어지는 하부 게이트 전극을 배설하고, 이 게이트 전극상에 게이트 절연막을 형성하여 하부 게이트부를 형성한 후, 상기 단차의 형성 공정을 포함하여 상기 제1 박막 트랜지스터와 공통의 공정을 거쳐 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 139. 제138항에 있어서,

상기 하부 게이트부상에 상기 단결정 실리콘층을 형성한 후, 이 단결정 실리콘층에 H_2 또는 V 족의 불순물을 침투를 도입하고, 소스 및 드레인 영역을 형성한 후, 활성화 처리를 행하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 140. 제139항에 있어서,

상기 단결정 실리콘층의 형성후 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 불순물 원소의 미온 주입으로 형성하고, 이 미온 주입후 상기 활성화 처리를 행하고, 게이트 절연막의 형성후, 상기 제1 박막 트랜지스터의 상부게이트 전극과, 필요하다면 상기 제2 박막 트랜지스터의 상부게이트 전극을 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 141. 제139항에 있어서,

상기 제2 박막 트랜지스터가 톱 게이트형일 때, 상기 단결정 실리콘층의 형성후 레지스트를 마스크로 하여 상기 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 불순물 원소의 미온 주입으로 형성하고, 이 미온 주입후 활성화 처리를 행하고, 그 후 상기 제1 및 제2 박막 트랜지스터의 게이트 절연막과 게이트 전극으로 이루어지는 각 게이트부를 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 142. 제139항에 있어서,

상기 제2 박막 트랜지스터가 톱 게이트형일 때, 상기 단결정 실리콘층의 형성후 상기 제1 및 제2 박막 트랜지스터의 각 게이트 절연막과 내열성 재질로 이루어지는 각 게이트 전극을 형성하여 각 게이트부를 형성하고, 이들 게이트부 및 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 불순물 원소의 미온 주입으로 형성하고, 이 미온 주입후 상기 활성화 처리를 행하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 143. 제139항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터로서 n 채널형, p 채널형 또는 상보형의 절연 게이트 전계 효과 트랜지스터를 구성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 144. 제143항에 있어서,

상기 주변 구동 회로부의 상기 박막 트랜지스터를 상드형과 n채널형과의 조, 상드형과 p채널형과의 조, 또는 상드형과 n채널형과 p채널형과의 조로 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 145. 제139항에 있어서,

상기 주변 구동 회로부 및/또는 상기 표시부의 박막 트랜지스터의 최소한 일부를 LDD 구조로 하고, 이 LDD구조를 게이트와 소스 또는 드레인과의 사이에 LDD부가 존재하는 상부 라인, 또는 게이트와 소스 및 드레인과의 사이에 LDD부를 각각 가지는 다중 라인으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 146. 제145항에 있어서,

상기 LDD구조를 형성할 때 사용한 레지스트 마스크를 남기고, 이것을 덮는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 이온 주입을 행하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 147. 제143항에 있어서,

상기 기관의 한쪽의 단상에 단결정, 다결정 또는 아몰퍼스 실리콘층을 형성하고, 상기 단결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 그 상부 및/또는 하부에 게이트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 148. 제147항에 있어서,

상기 주변 구동 회로부의 박막 트랜지스터를 n채널형, p채널형 또는 상드형의 상기 제1 박막 트랜지스터로 하고, 상기 표시부의 박막 트랜지스터가 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상드형으로 하고, 다결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상드형으로 하고, 아몰퍼스 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상드형으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 149. 제128항에 있어서,

상기 기관상에 단차를 형성하고, 이 단차를 포함하는 상기 기관상에 상기 물질층을 형성하고, 이 물질층상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 150. 제149항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부트 하여 상기 단차를 형성하고, 이 단차를 상기 물질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 151. 제149항에 있어서,

상기 제1 박막 트랜지스터를, 상기 기관 및/또는 그 위의 막에 형성한 상기 단차에 의한 기관 요부 내 및/또는 외에 배설하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 152. 제149항에 있어서,

상기 단차를, 상기 제1 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 153. 제128항에 있어서,

상기 물질층에 단차를 형성하고, 이 단차를 포함하는 상기 물질층상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 154. 제153항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부트 하여 상기 단차를 형성하고, 이 단차를 상기 물질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 155. 제153항에 있어서,

상기 제2 박막 트랜지스터를 상기 제1 기관 및/또는 그 위의 막에 형성된 상기 단차에 의한 기관 요부 내 및/또는 외에 배설하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 156. 제153항에 있어서,

상기 단차를, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 157. 제147항에 있어서,

상기 기관의 한쪽의 단상에 단차를 형성하고, 이 단차를 포함하는 상기 기관상에 단결정, 다결정 또는 아몰퍼스 실리콘층을 형성하고, 상기 단결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및/또는 하부에 게이트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 158. 제157항에 있어서,

단면에 있어서 저면에 대하여 측면이 직각 형상 또는 하단측으로 경사 형상으로 되도록 한 요부트 하여 상기 단차를 형성하고, 이 단차를 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장

최종 구동 기관의 제조 방법.

청구항 159. 제 15항에 있어서,

상기 제1 및/또는 제2 박막 트랜지스터의 소스 또는 드레인 전극을 상기 단차를 포함하는 영역상에 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 160. 제 15항에 있어서,

상기 제2 박막 트랜지스터를 상기 제1 기관 및/또는 그 격의 락에 형성된 상기 단차에 의한 기관 요브 내 및/또는 외에 배열하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 161. 제 14항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층의 III족 또는 V족의 돌출을 종류 및/또는 그 농도를 제어하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 162. 제 15항에 있어서,

상기 단차를, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 163. 제 14항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층 아래의 게이트 전극을 그 측면부에서 사다리꼴 형상으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 164. 제 14항에 있어서,

상기 기관과, 상기 단결정, 다결정 또는 아몰퍼스 실리콘층과의 사이에 확산 배리어층을 배열하는 전기 광학 장치의 제조 방법.

청구항 165. 제 12항에 있어서,

상기 기관을 유리 기관 또는 내열성 유기 기관으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 166. 제 12항에 있어서,

상기 기관을 광학적으로 불투명 또는 투명으로 하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 167. 제 12항에 있어서,

상기 화소 전극을 반사형 또는 투과형의 표시부용으로서 배열하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 168. 제 12항에 있어서,

상기 표시부에 상기 화소 전극과 컬러 필터층과의 적층 구조를 배열하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 169. 제 12항에 있어서,

상기 화소 전극이 반사 전극일 때는, 수지막에 요철을 형성하고, 그 위에 화소 전극을 배열하고, 또 상기 화소 전극이 투명 전극일 때는 투명 평탄화막에 의해 표면을 평탄화하고, 그 평탄화면상에 상기 화소 전극을 배열하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 170. 제 13항에 있어서,

상기 표시부를 상기 스위칭 소자에 의한 구동으로 발광 또는 조광을 행하도록 구성하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 171. 제 13항에 있어서,

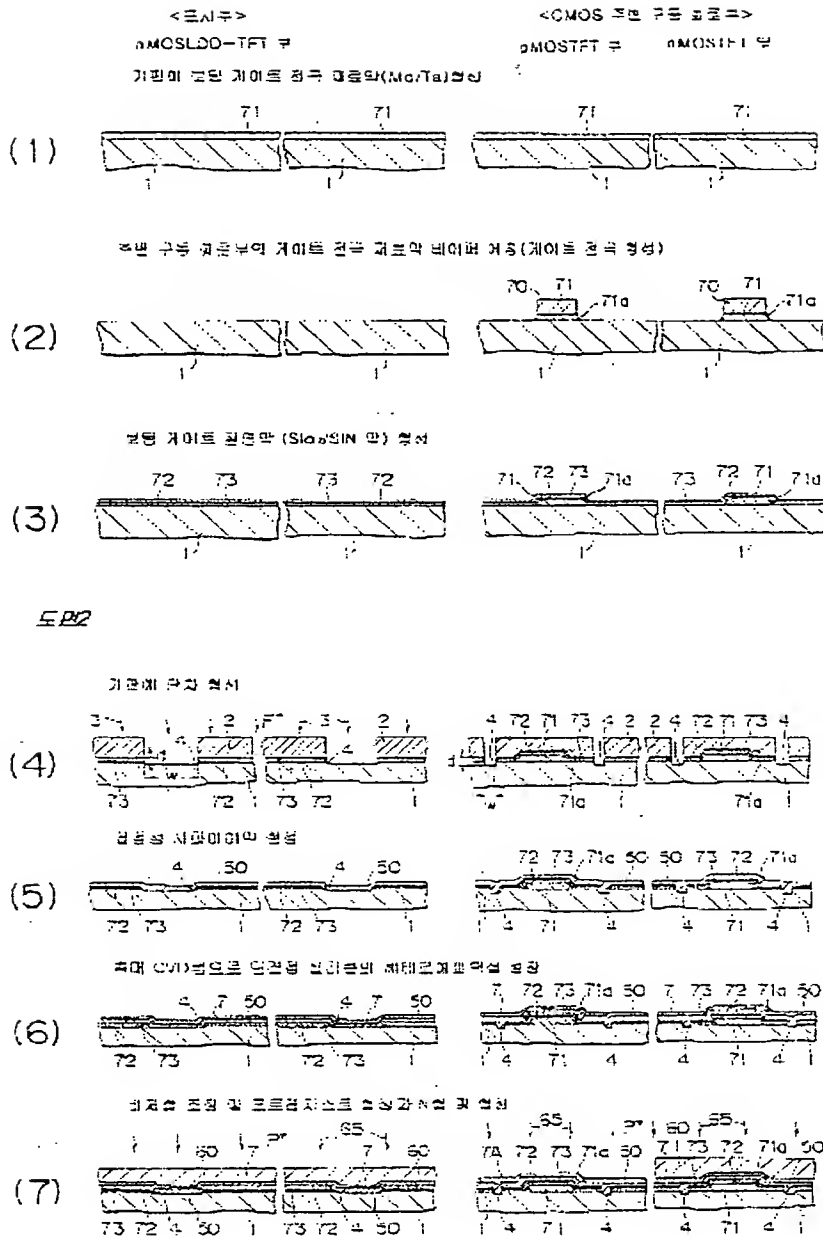
상기 표시부에 복수의 상기 화소 전극을 매트릭스형으로 배열하고, 이들 화소 전극의 각각에 상기 스위칭 소자를 접속하는 전기 광학 장치용 구동 기관의 제조 방법.

청구항 172. 제 12항에 있어서,

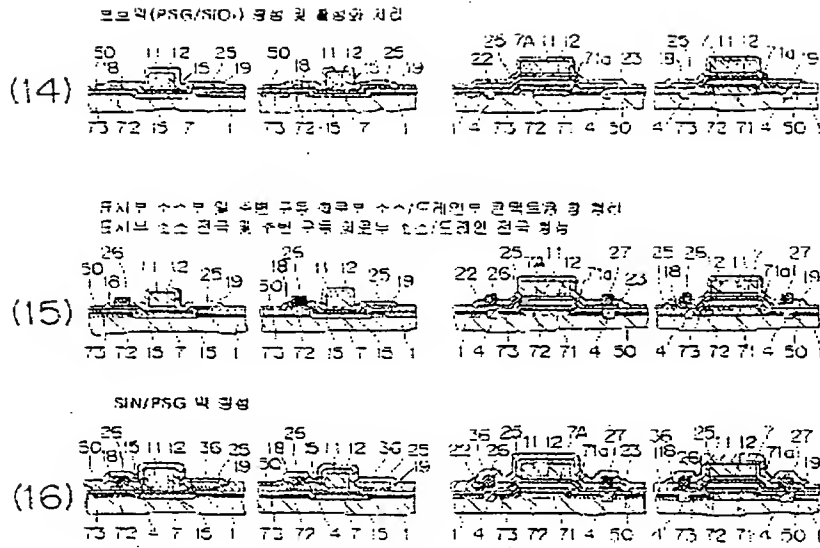
액정표시 장치, 일렉트로루미네센스 표시 장치, 전계 방출형 표시 장치, 발광 폴리머 표시 장치, 발광 다이오드 표시 장치 등으로 구성하는 전기 광학 장치용 구동 기관의 제조 방법.

도면

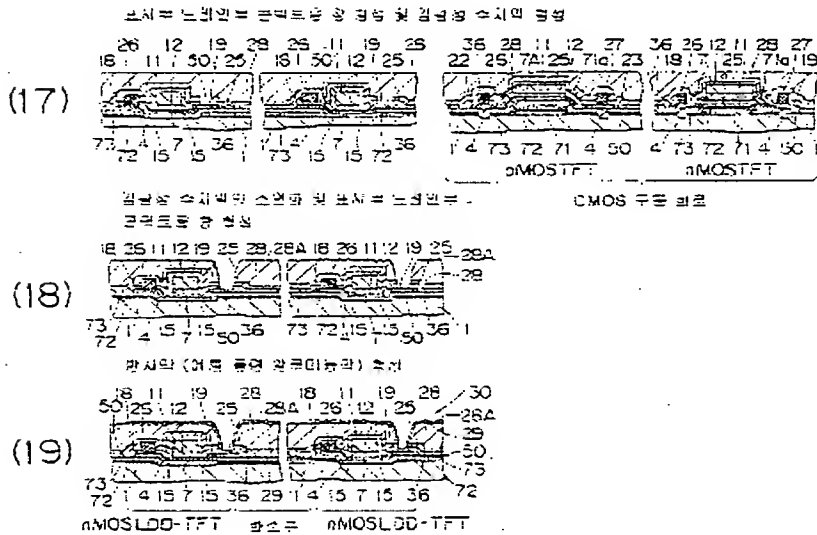
도면



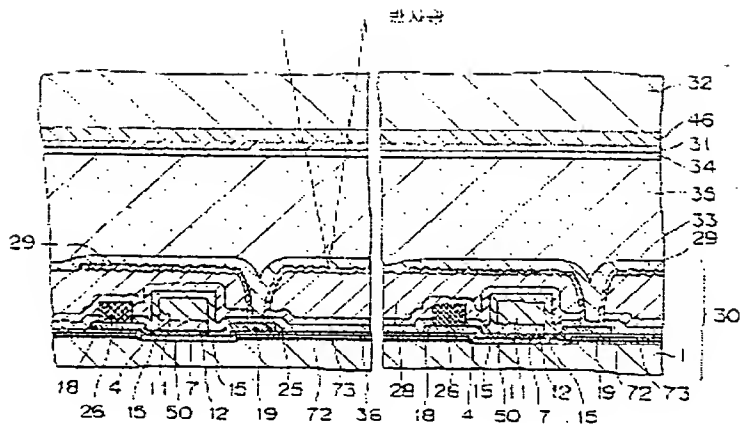
도 25



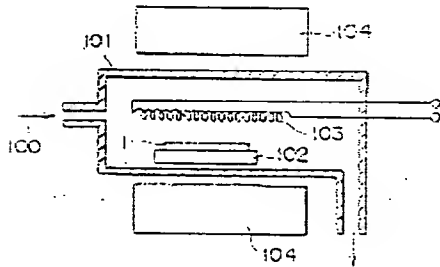
도 26



도 27

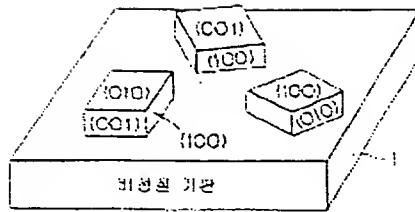


도 28

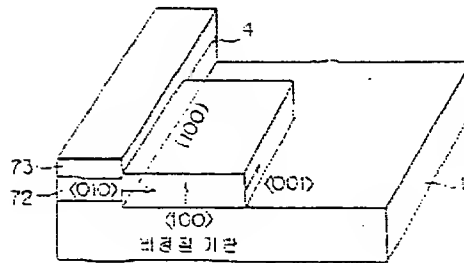


도 20

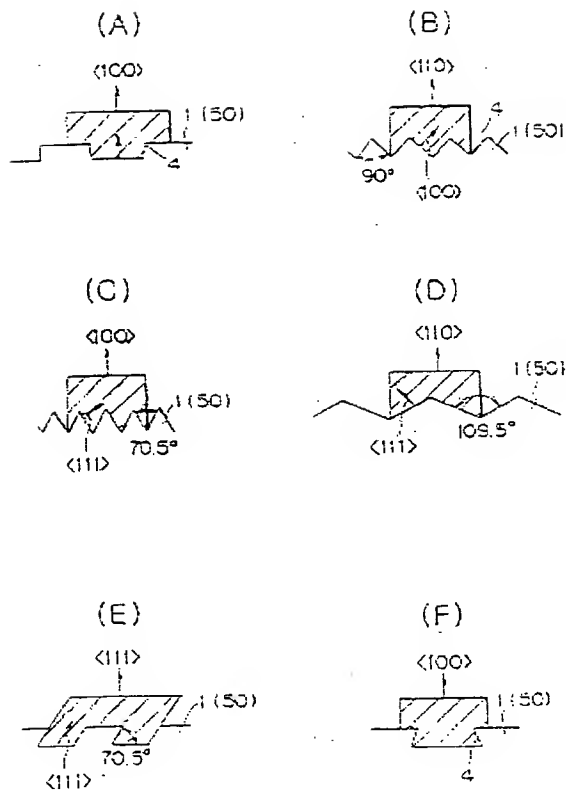
(A)



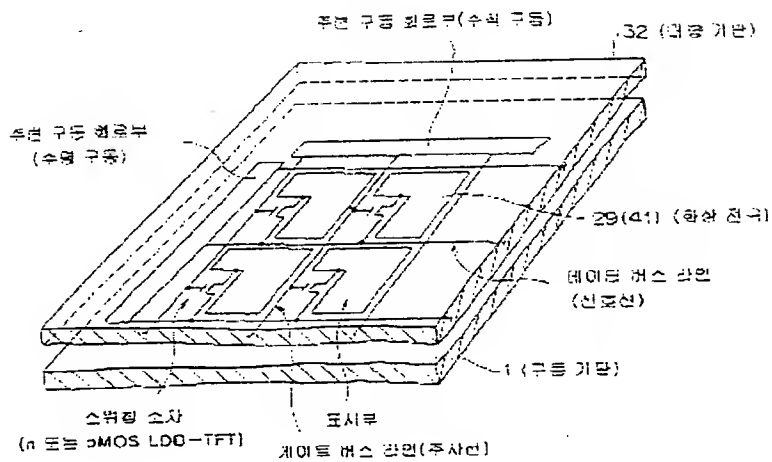
(B)



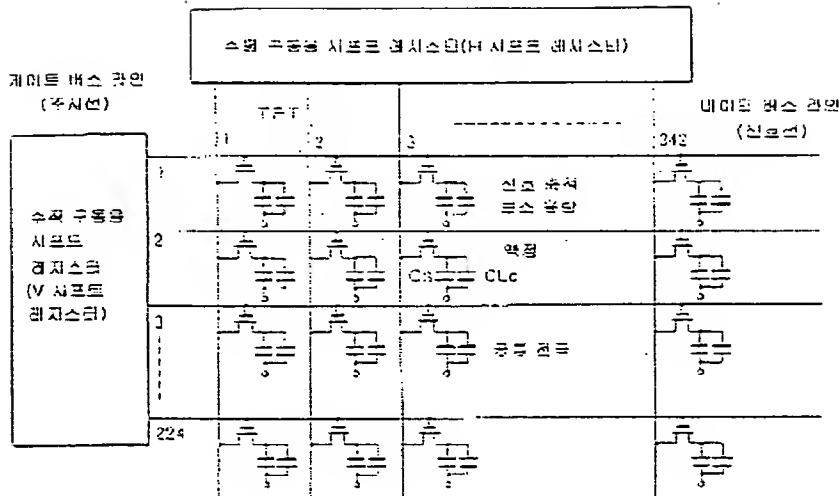
도면 10



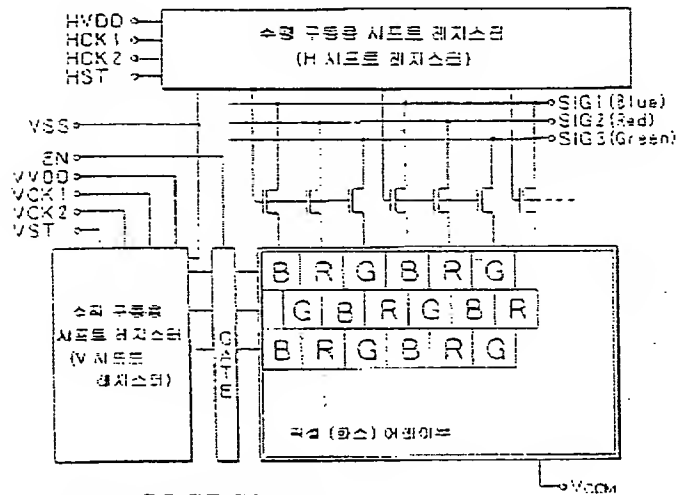
도면 11



도면 2

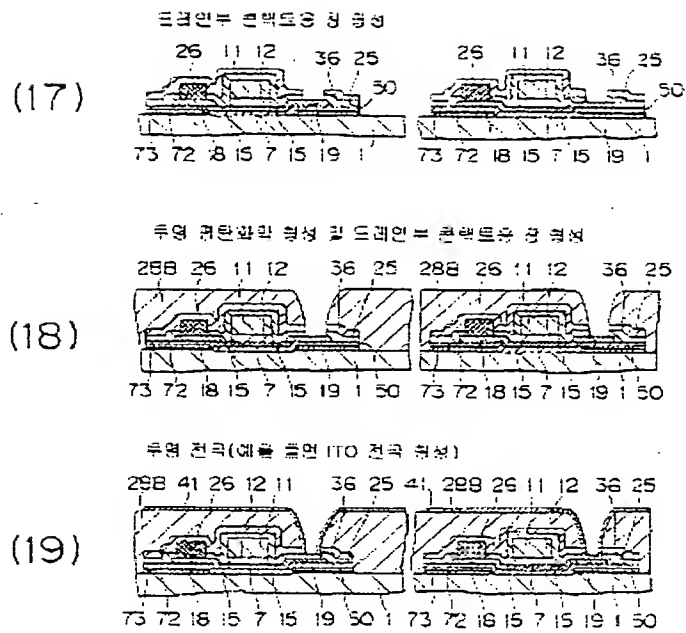


도면 3

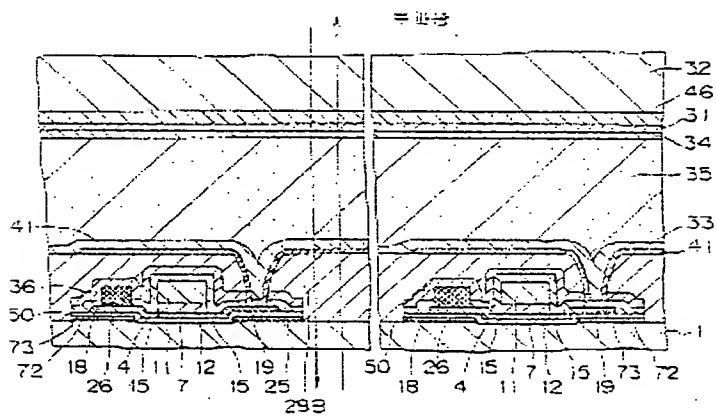


VDDM : 광소 회로 전압
 HVDD : H 드라이브용 전원 입력 단자
 VDD : V 드라이브용 전원 입력 단자
 HCK1 : H 시프트 레지스터 구동용의 클럭 입력 단자
 HCK2 : H 시프트 레지스터 구동용의 클럭 입력 단자
 VCK1 : V 시프트 레지스터 구동용의 클럭 입력 단자
 VCK2 : V 시프트 레지스터 구동용의 클럭 입력 단자
 HST : H 시프트 레지스터 구동용의 스태트 버스 입력 단자
 VST : V 시프트 레지스터 구동용의 스태트 버스 입력 단자
 VSS : H, V 드라이브용 GND 단자
 SIG1 : 비디오 신호 입력 단자 (BLUE)
 SIG2 : 비디오 신호 입력 단자 (RED)
 SIG3 : 비디오 신호 입력 단자 (GREEN)

도면 14

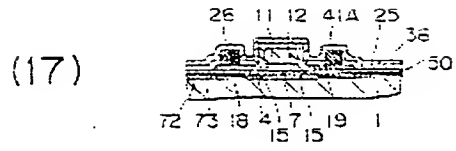


도면 15

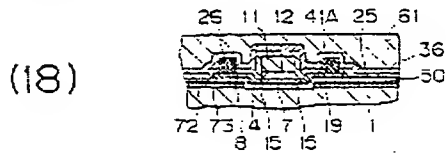


도면 8

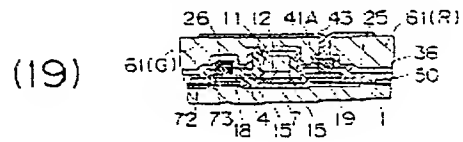
스스/드레인부 콘택트층 및 절연, 전극 형성
SiN/PSG 이 절연



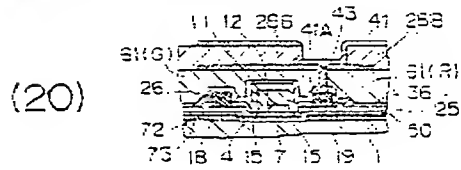
관라 콘택트층 형성



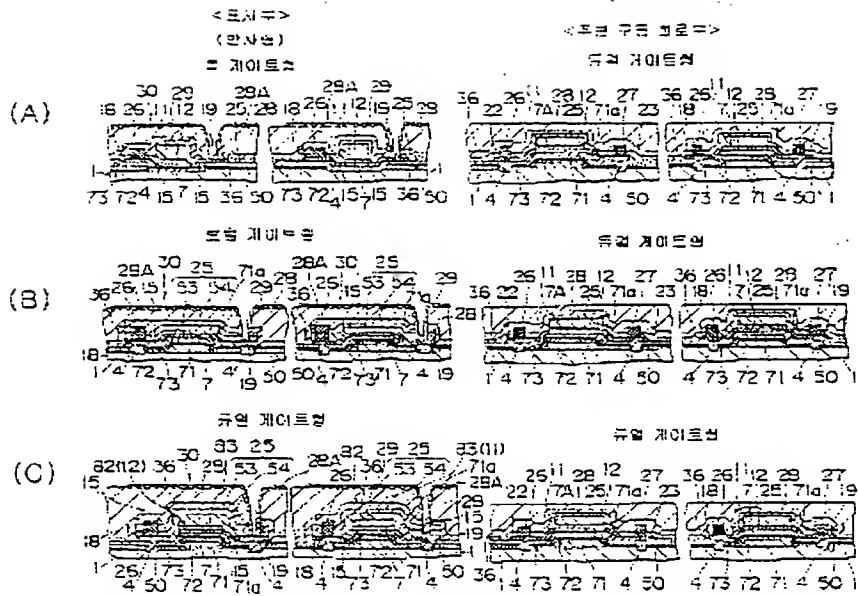
드레인부 콘택트층 및 절연, 관라 콘택트층 형성



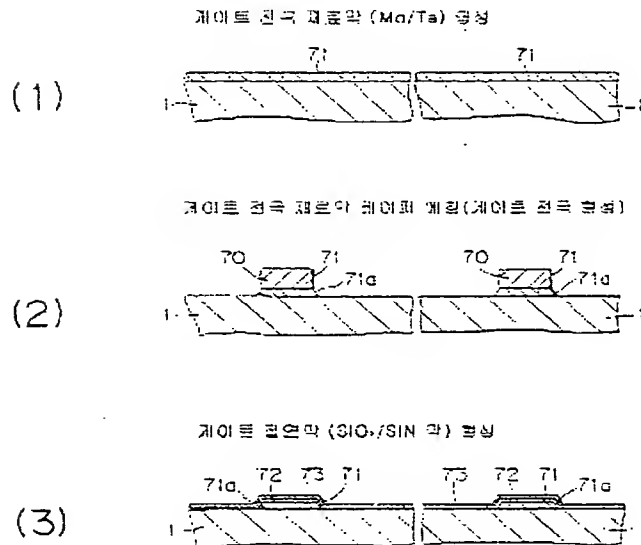
절연층 및 절연, 절소 선택 절연



도면 7

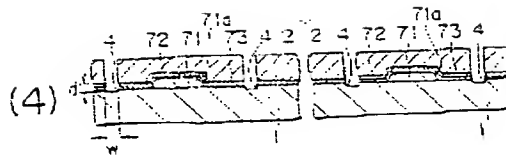


도면 8

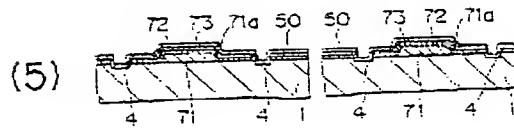


도면 9

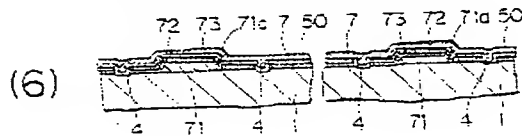
기본 구조 단면 형상



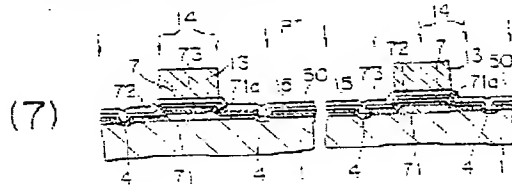
결정성 사파이어막 형성



후에 CVD 법으로 인질성 실리콘의 제터로에피택션 성장

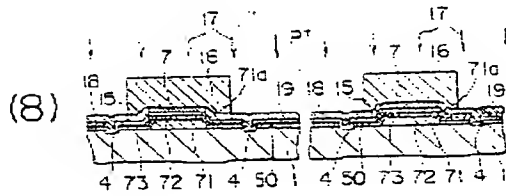


트랜지스터의 nMOSFET의 LDD를 형성

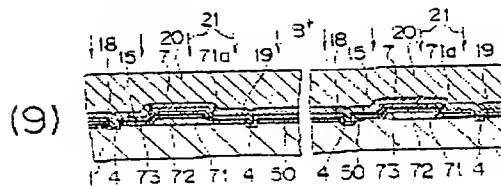


도면

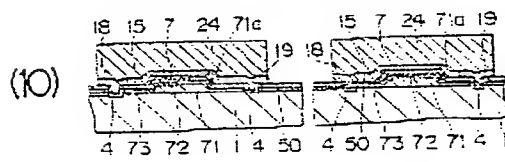
nMOSTFT의 소스/드레인부 형성



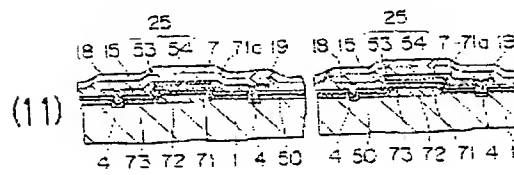
배지스도 형성



능동 소자부와 수동 소자부의 아일랜드화

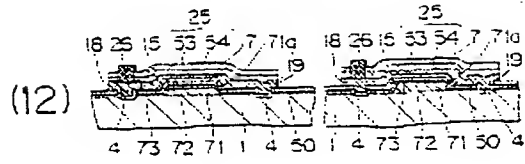


보호막(PSG/SiO₂) 형성 및 패턴화 처리

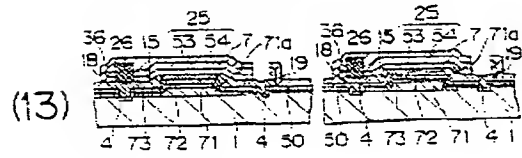


도면 21

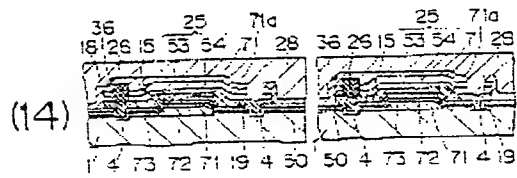
소스 콘택트 패드 형성 및 소스 콘택트 패드 형성



프로그래밍 (SiN/PSG) 형성 및 드레인부 형성

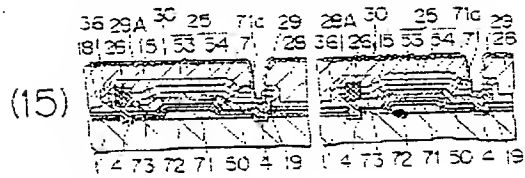


감광성 수지의 형성



감광성 수지 및 프로그래밍, 드레인부 형성 및

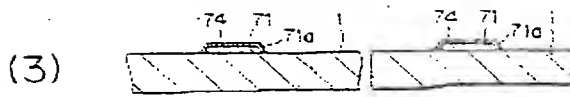
반사막 (예를 들어 알루미늄) 형성



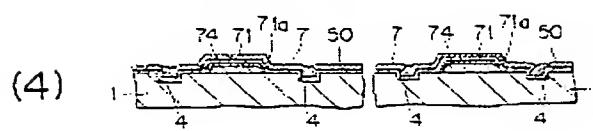
도면

<도시부>

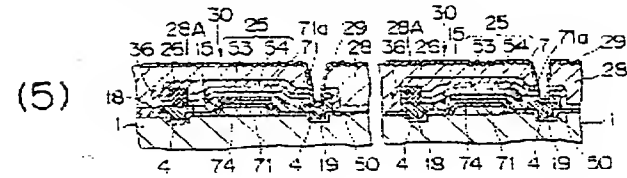
공과 산관로 게이트 패턴의 형성



후에 CVD 법으로 인접한 실리콘의 에피택시얼 성장



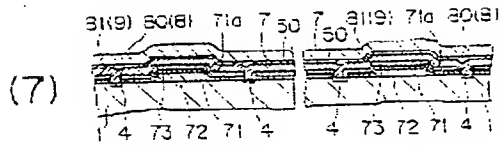
광중성 스키의 조면화, 드레인부 광 형성 및
반사막(예를 들면 알루미늄) 형성



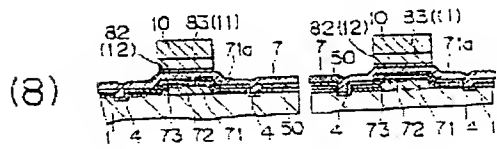
도면 23

<표시부>

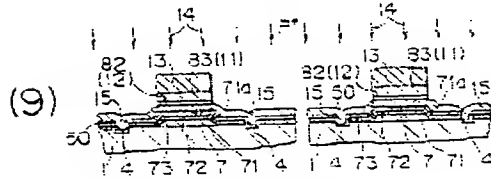
플 게이트 절연막, 플 게이트 전극 패드와 연결



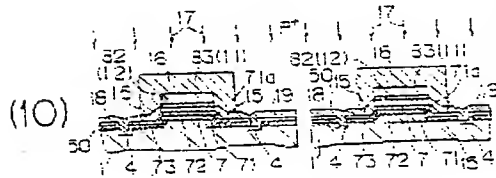
플 게이트 절연막, 플 게이트 전극 패드



표시용 nMOSTFET의 LOD층 형성

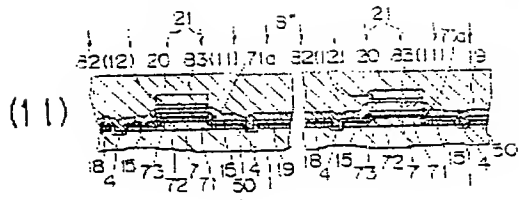


nMOSTFET의 소스/드레인층 형성

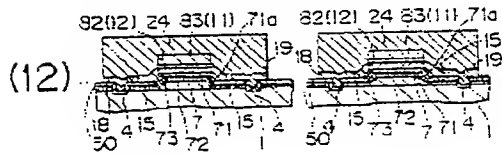


도면 21

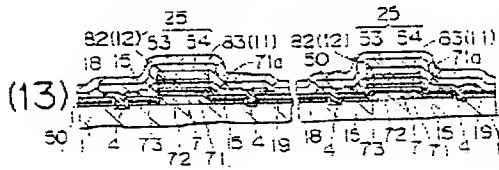
레지스트 형성



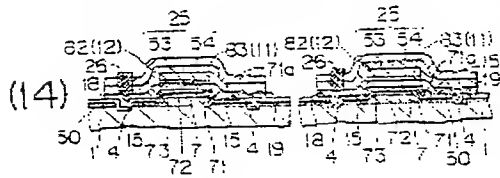
높은 소자부의 수동 소자부의 아연전도화



보호막(PSG/SiO₂) 형성, 열처리 처리

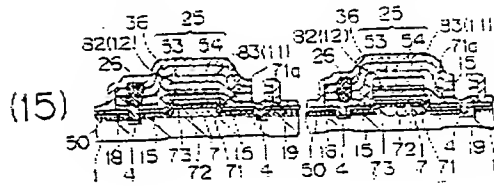


소스 콘택트층 및 배선 콘택트층 형성

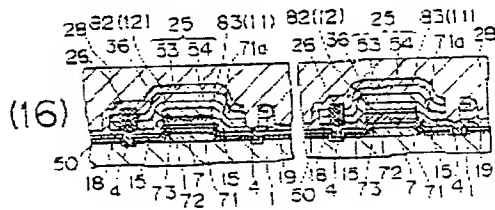


도면 25

반사막(SiN/PSG) 형성 및 드레인부 형성

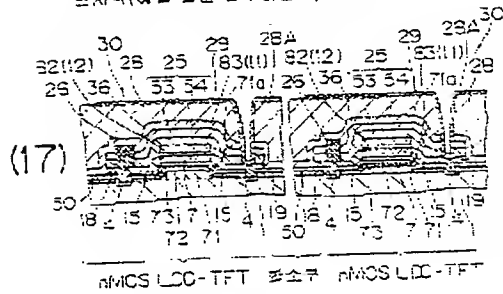


반사막 수직면 형성



반사막 수직면의 조면화, 드레인부 형성 및

반사막(예를 들면 산화물막) 형성

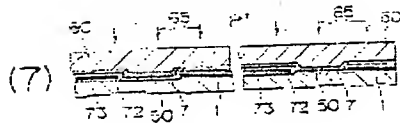


도면 26

<CMOS 구조 부를 설명함>

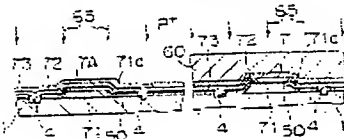
<트랜지스터>

트랜지스터 채널 및 N+ 및 P+ 형성

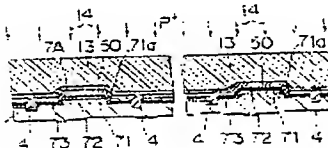
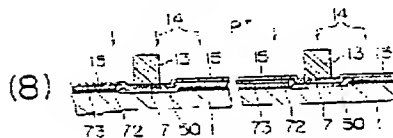


pMOS TFT

nMOS TFT



nMOS TFT의 LDD 형성



도 22

<도시부>

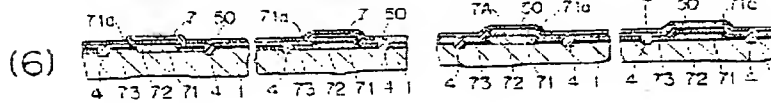
유연 게이트용 nMOSLDD TFT는
보통 게이트 금속 및 게이트 절연막 형성
후(또는 시판) 에피로어 패터닝 형성

<CMOS 수반 구조 형성>

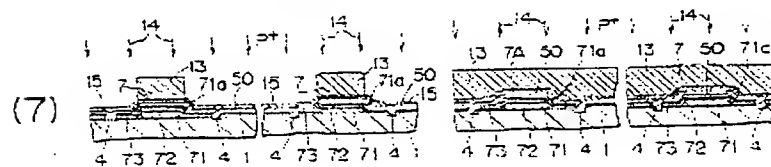
유연 게이트용
pMOSTFT부

유연 게이트용
nMOSTFT부

N형 채널 형성

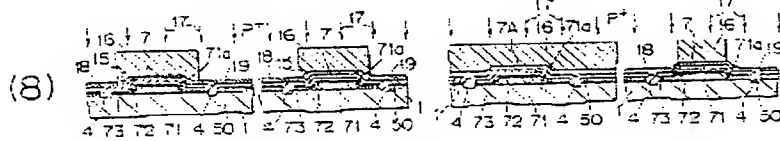


표시용 nMOSLDD의 LDD를 형성

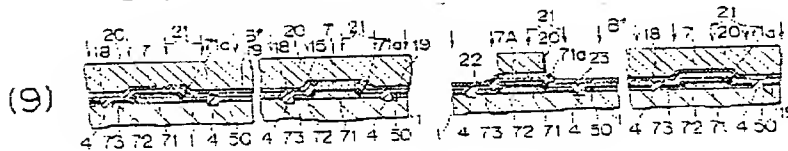


도 23

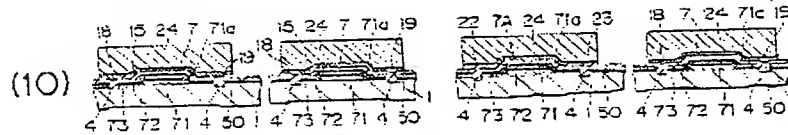
nMOSTFT의 소스/드레인부 형성



수반 구조를 형성한 nMOSTFT의 소스/드레인부 형성

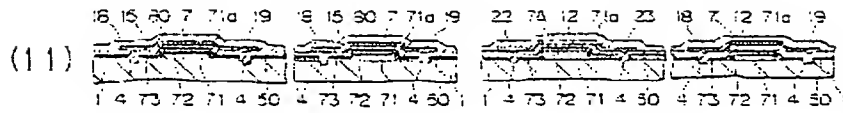


유연 소자부 및 수반 소자부의 마지막 단계

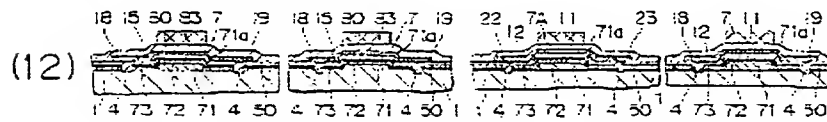


도 31

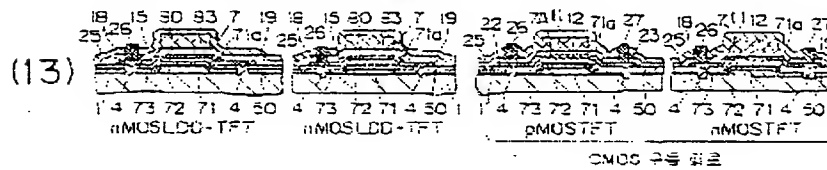
산화물 게이트 및 채널 레이어 형성 (SiN/SiO₂) 진행



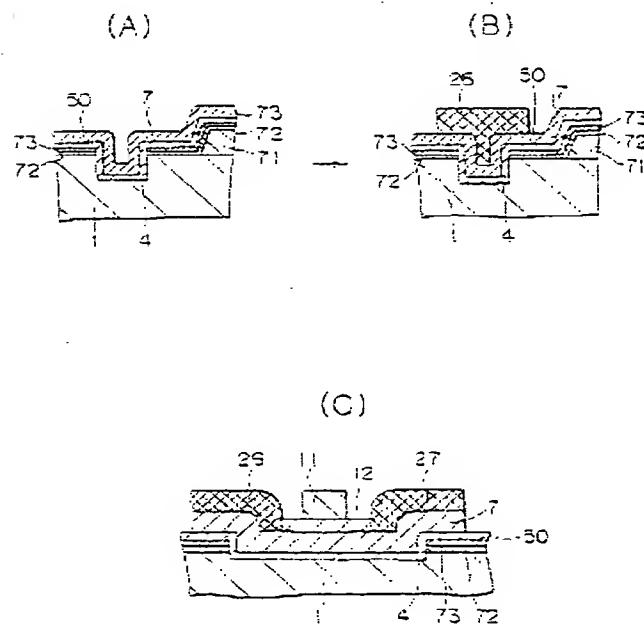
게이트 전극(아몰 레인 영역) 형성



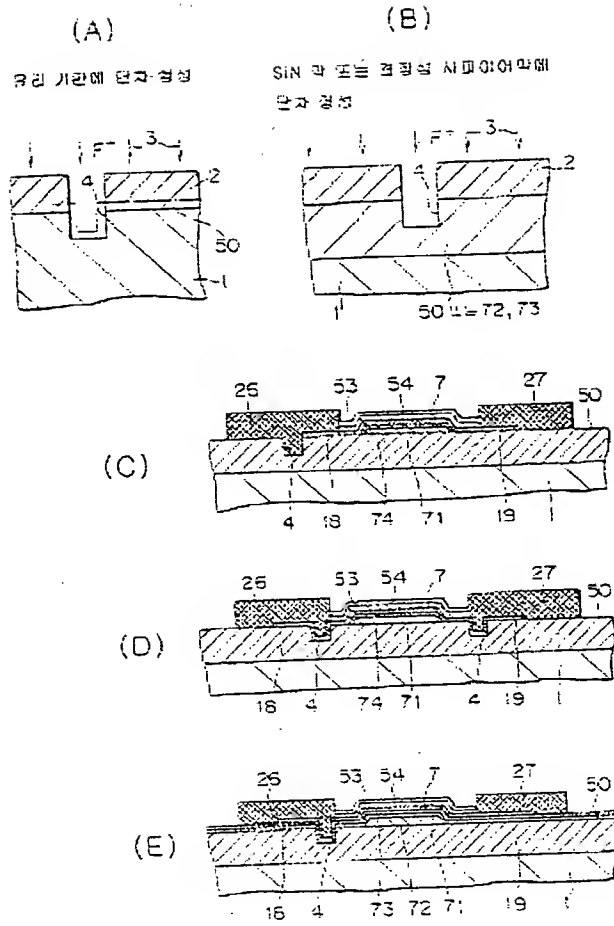
모양막(SiN/PSG) 형성, p-시트 스스도 및 p-도펀트 레이어 스스/드레인 전 = 형성



도 32

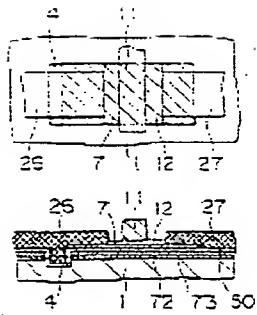


도면 33

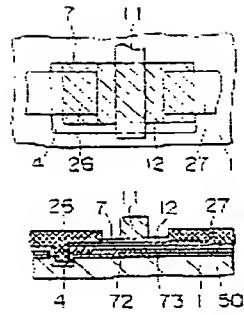


도 34

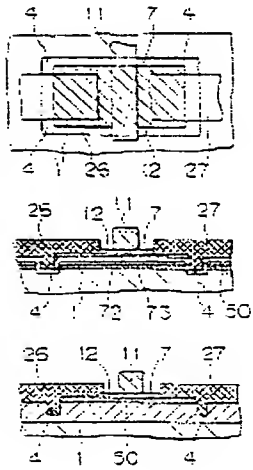
(A)



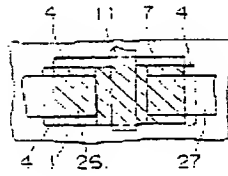
(B)



(C)



(D)



(E)

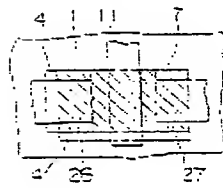


FIG. 35

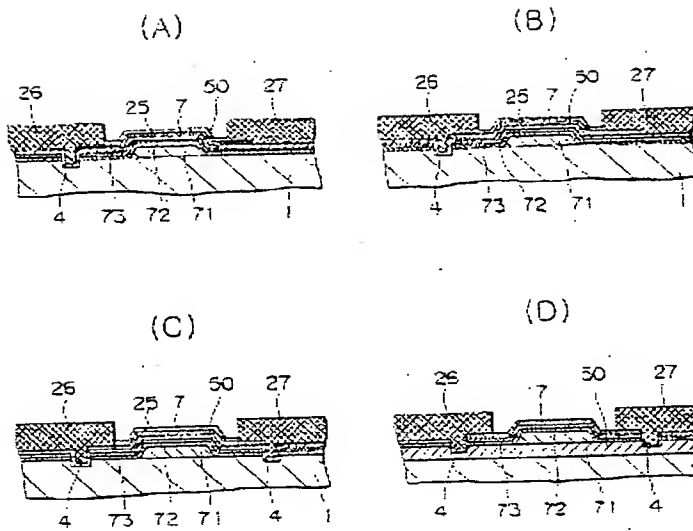
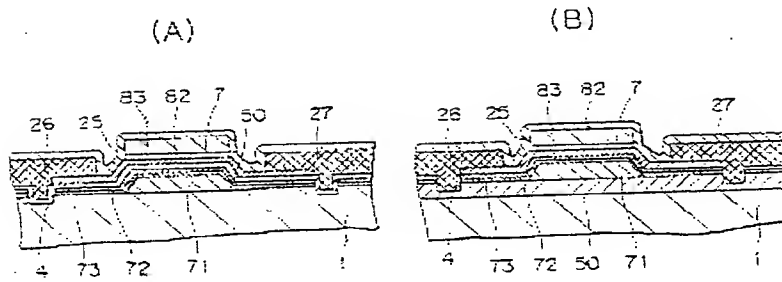


FIG. 36

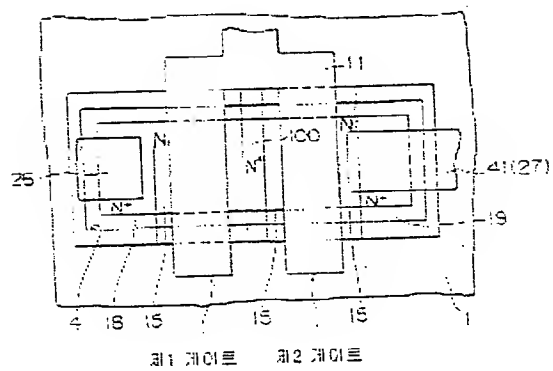
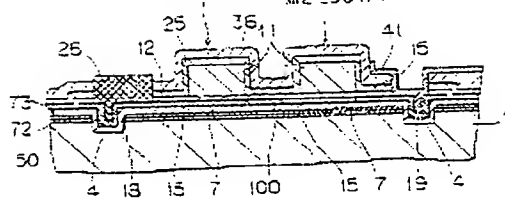


523

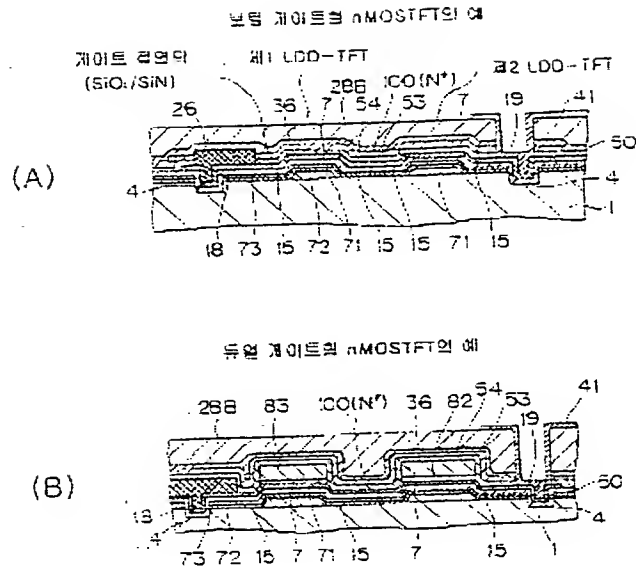
응 제이트형 nMOSTFT의 제

31 : LDDTFT

M2 LDDTFT

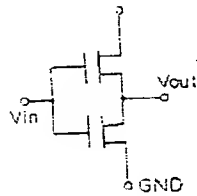


도면 38

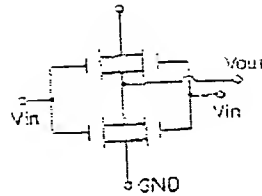
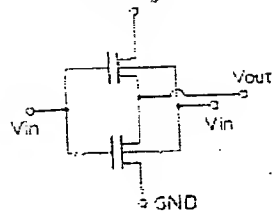


도면 39

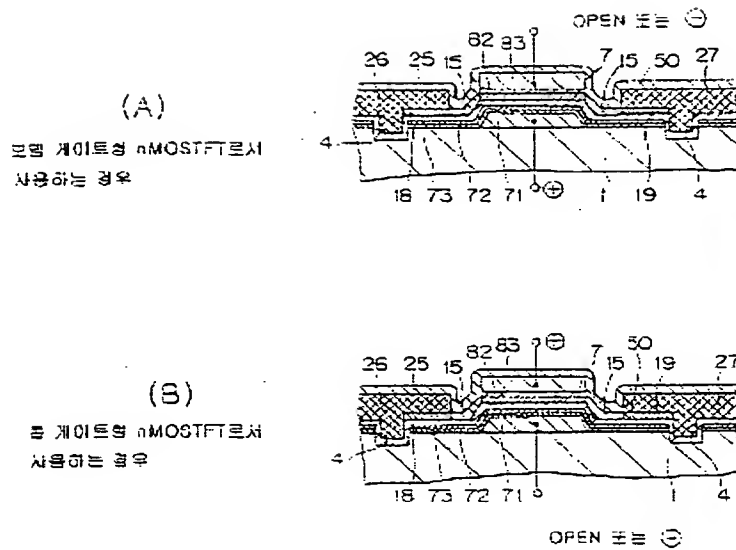
본원 게이트형 또는 본원 게이트형



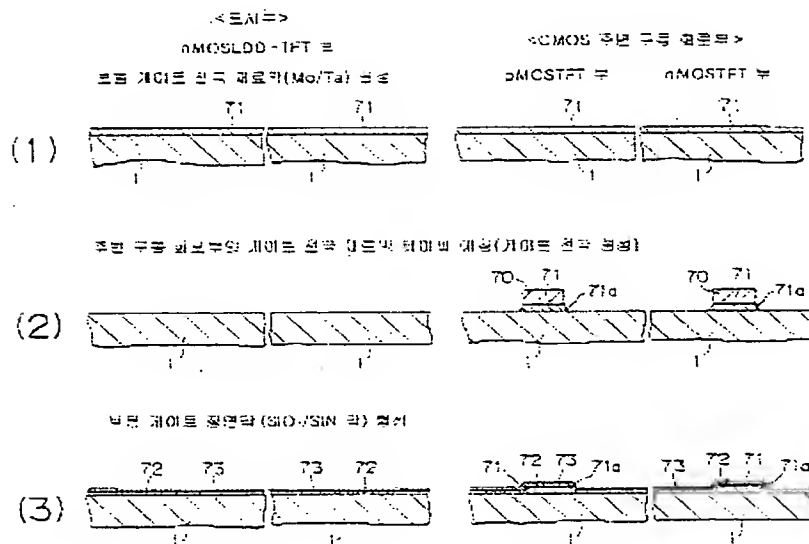
본원 게이트형



도면40

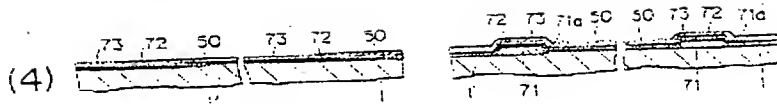


도면41

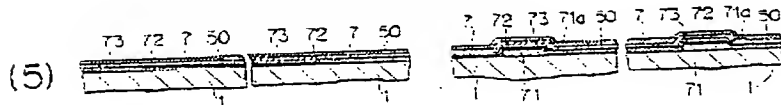


도면 2

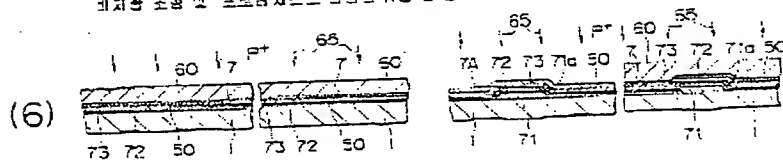
절연막 사면이더와 형성



4차 CVD 방법으로 다층막 사면이더와 절연막층을 형성

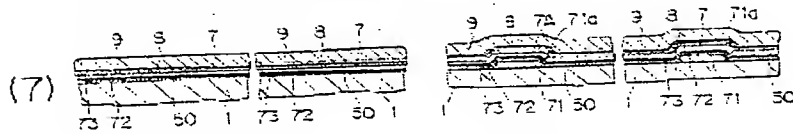


절연막 조형 및 포토레지스트 형성 후 노광

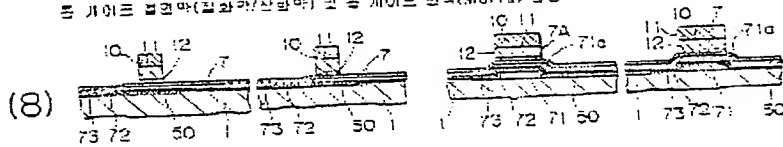


도면 3

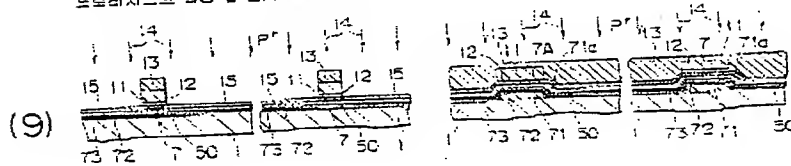
층 제이브 형성막 (SiN/SiO₂) 형성 후 층 제이브 형성막 (폴리실리콘/폴리사일리콘) 형성



층 제이브 형성막 (폴리실리콘/폴리사일리콘) 및 층 제이브 형성막 (Mo/Ta) 형성

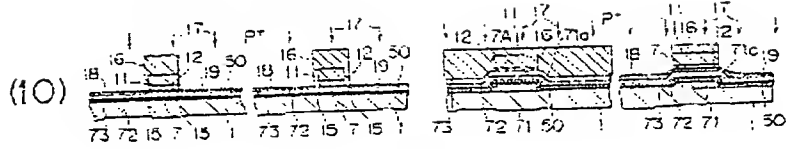


포토리소그래피 및 드레싱막 aMOSTFET의 LDD 형성

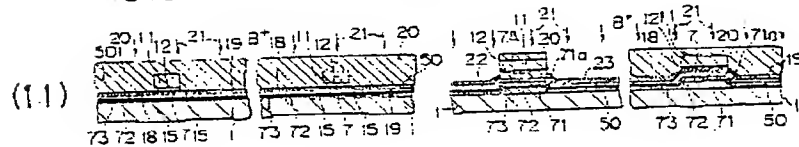


도면44

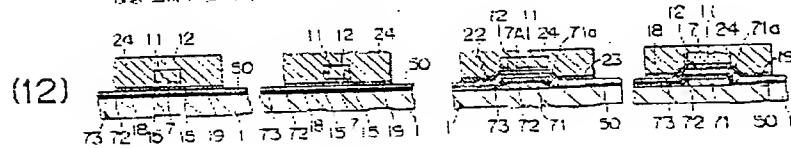
nMOSFET의 소스/드레인부 형성



포스트 구동 영역부의 pMOSFET의 소스/드레인부 형성

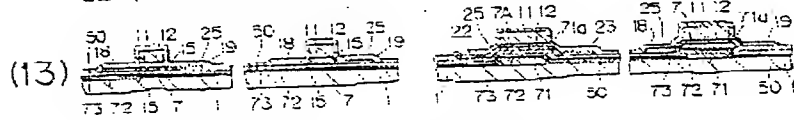


포스트 소자부 및 후드 소자부의 아일랜드화



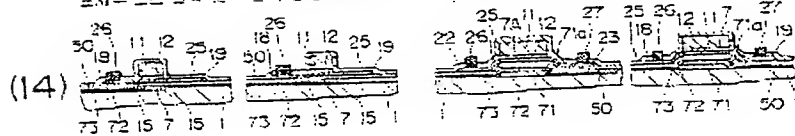
도면45

포스트와 (PSG/SiO₂) 형성 및 소실과 제거

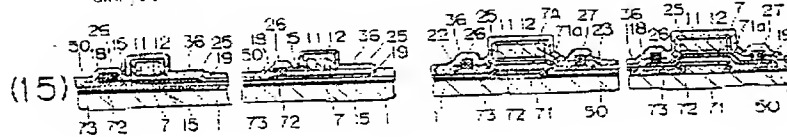


포스트 소스= 및 후드 부를 포스트 소스/드레인부 영역으로 형성.

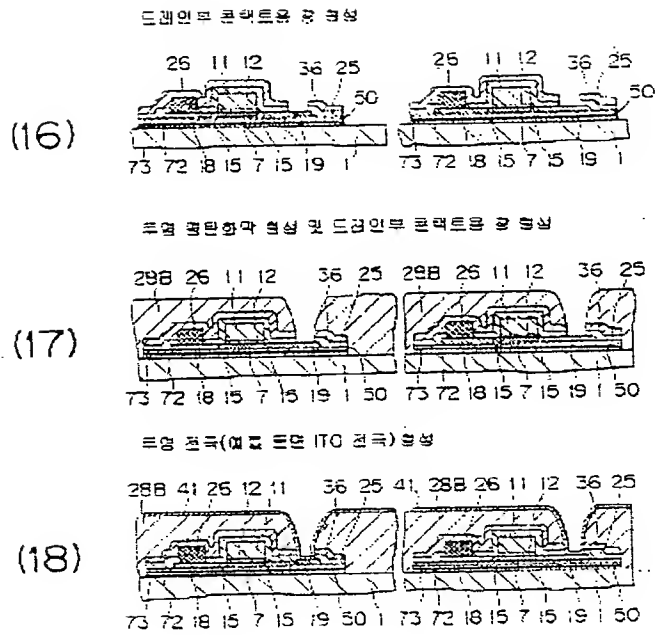
포스트 소스= 및 후드 부를 포스트 소스/드레인부 영역으로 형성.



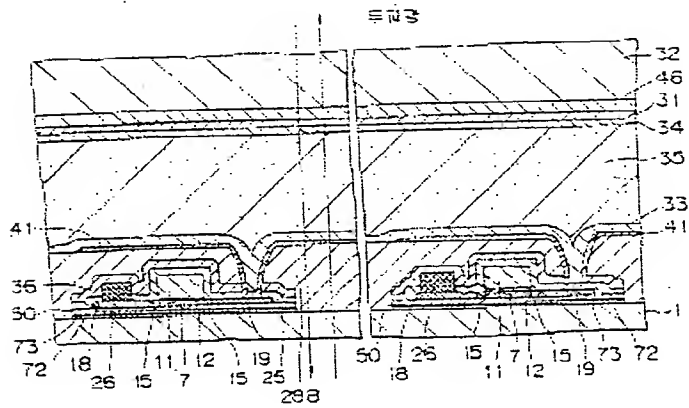
SiN/PSG 박막 형성



도 14B

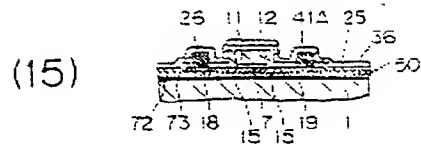


도 14B

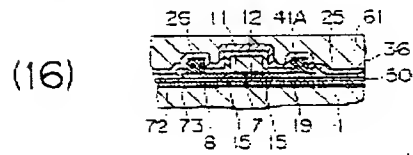


도 15

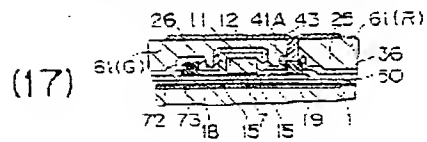
소스/드레인 전극 패턴 형성, 브릿 형성
SiN/PSG 막 형성



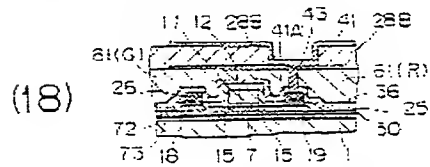
알루미늄막 형성



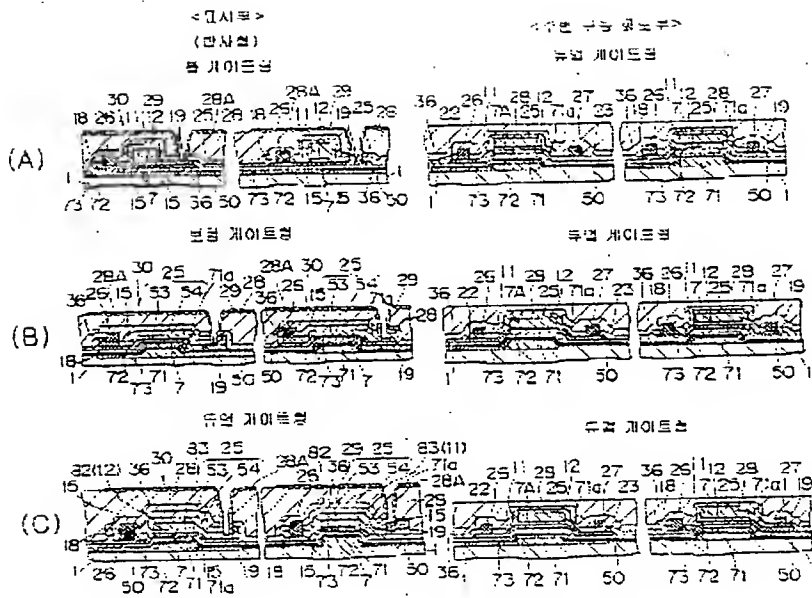
드레인 전극 패턴 형성 및 플러그 마스크 형성



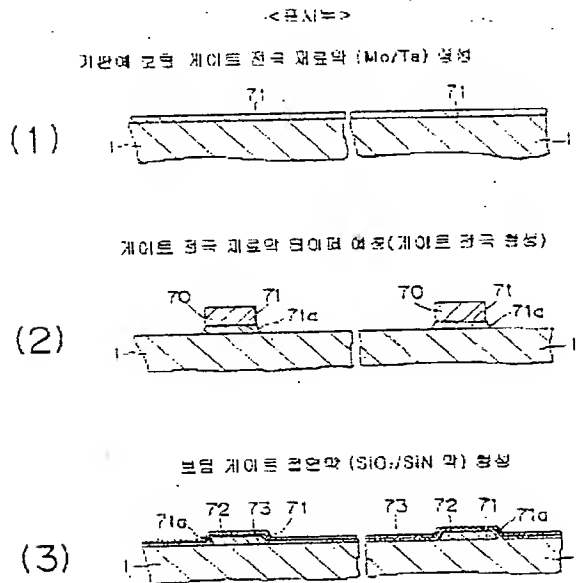
경화막 형성, 환소 전극 형성



도면51

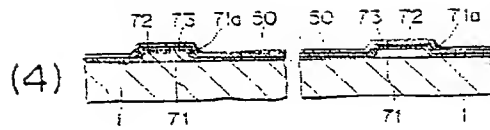


도면52

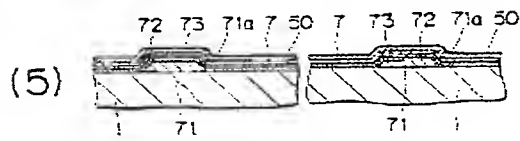


도면 58

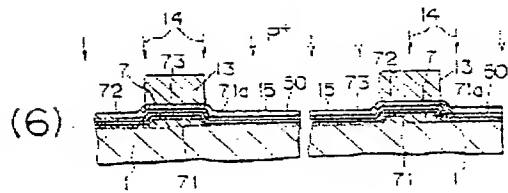
결정성 사파이어막 형성



추후 CVD 법으로 인질질 실리콘의 제타로세막막을 성장

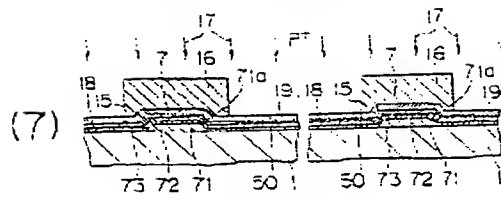


표시용 nMOSTFT의 LDD층 형성

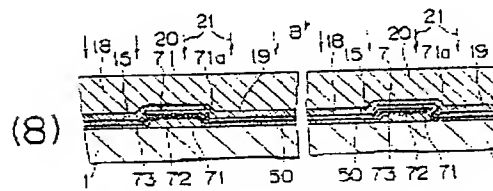


도면 54

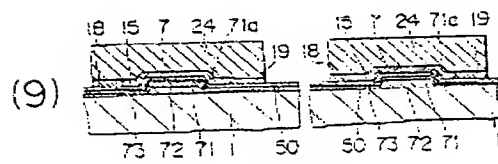
nMOSTFET의 소스/드레인부 형성



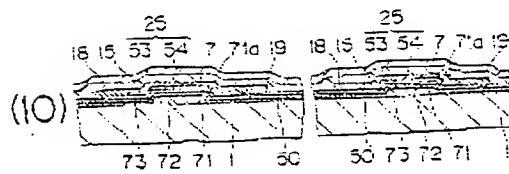
레지스트 형성



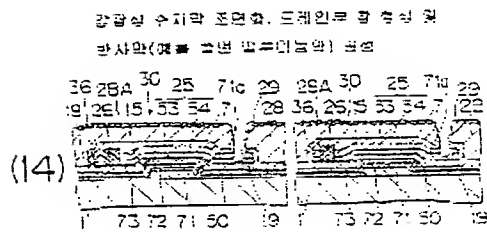
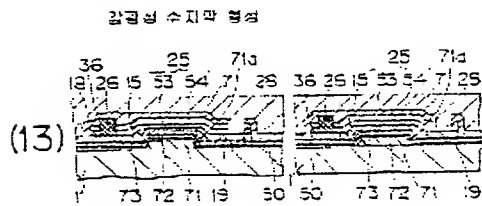
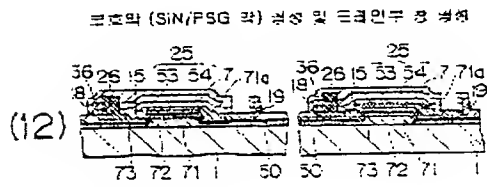
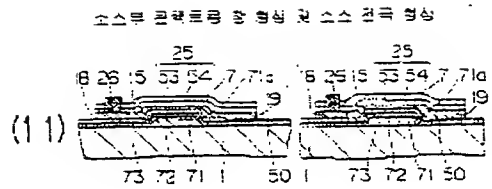
플로트 소자부의 수동 소자부의 아일랜드화



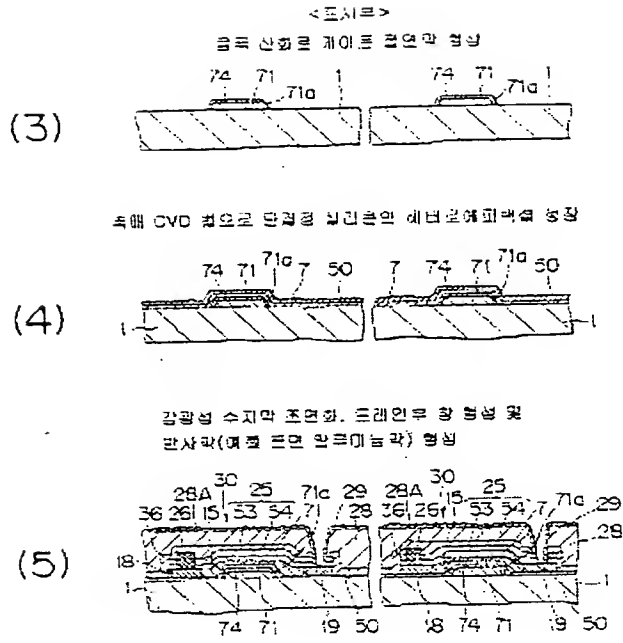
보호막 (PSG/SiO₂) 형성 및 불순물 처리



도 25



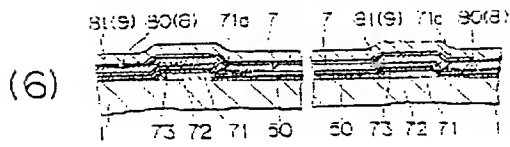
도면



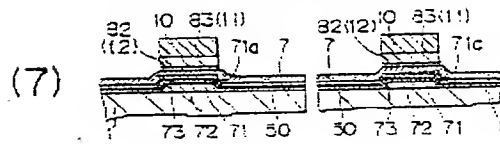
도면 5

<트라이프>

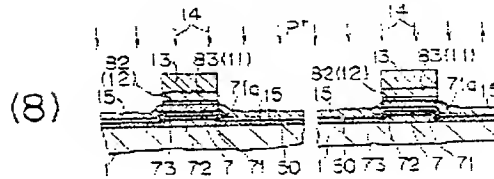
플 게이트 절연막, 플 게이트 전극 패스트와 형성



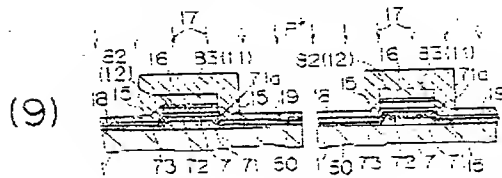
플 게이트 절연막, 플 게이트 전극 패스트와 형성



플 게이트 nMOSTFET의 LDD층 형성

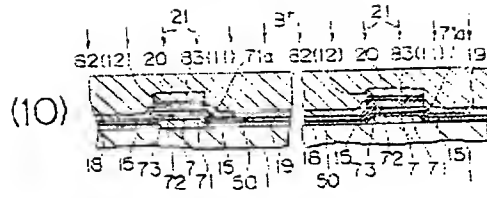


nMOSTFET의 소스/드레인층 형성

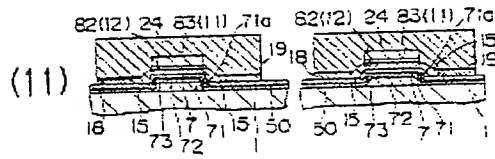


도면

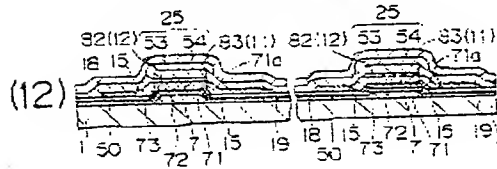
레지스트 형성



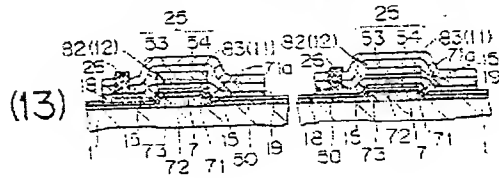
능동 소자부의 수동 소자부의 아일랜드화



보도막(PSG/SiO₂) 형성, 활성화 처리

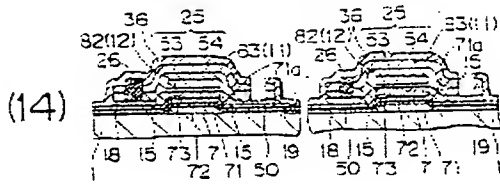


소스부 콘택트를 형성 및 소스 전극 형성

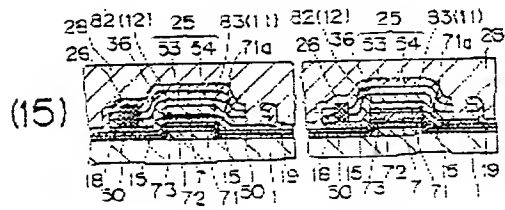


도면 59

절연막(SiN/PSG) 형성 후 드레인부 각 형성

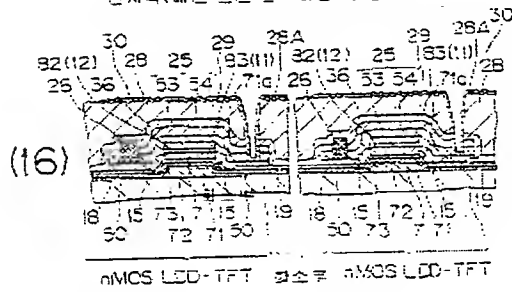


금광형 수지막 형성

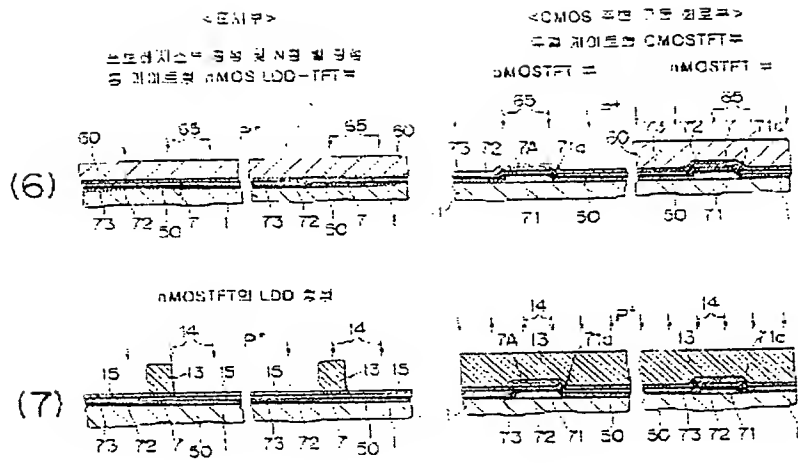


금광형 수지막 조연화, 드레인부 각 형성 및

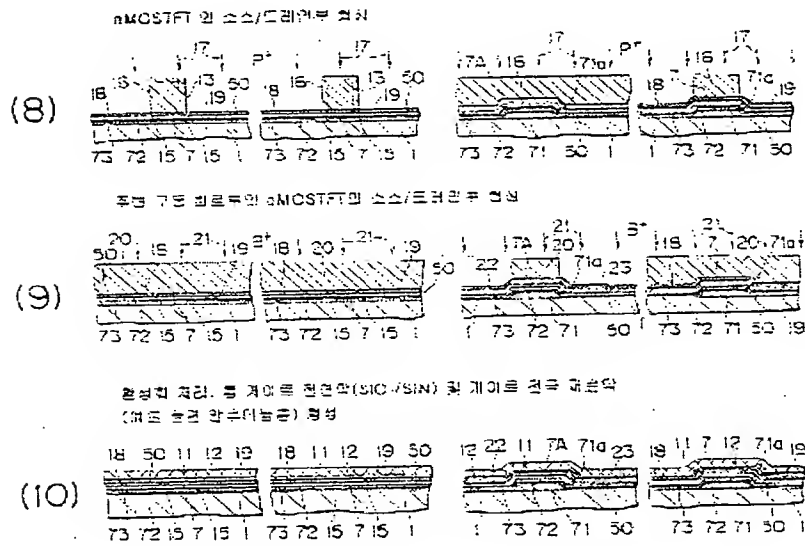
반사막(예를 들면 알루미늄막) 형성



도 2100

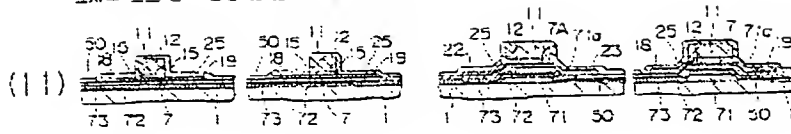


도 2101



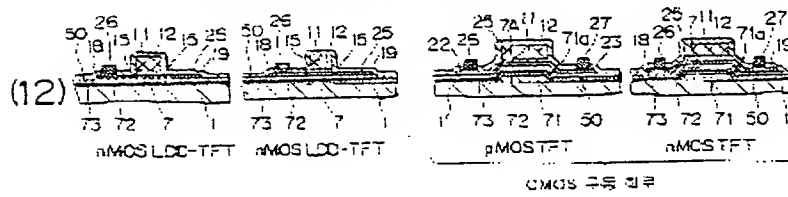
도 2162

표시: 스스 섹트 관형 전 코팅막 (SIC)/PSC) 형성



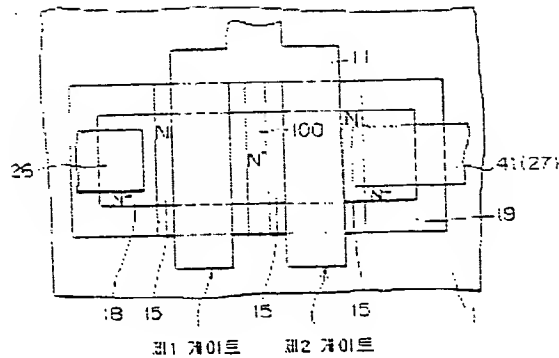
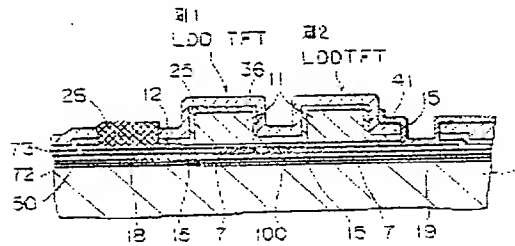
표시: 스스 섹트 관형 전 코팅막 (SIC)/PSC) 형성

표시: 스스 섹트 관형 전 코팅막 (SIC)/PSC) 형성

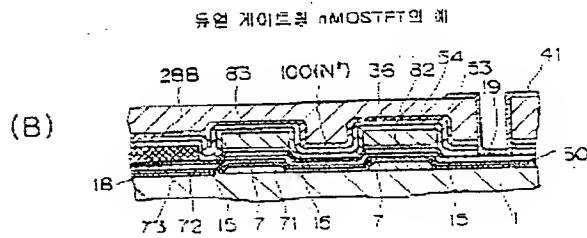
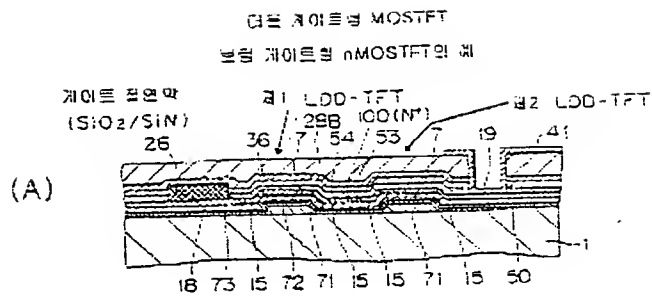


도 2163

표시: 스스 섹트 관형 전 코팅막 (SIC)/PSC) 형성



도면



도면

다층 게이트형 MOSTFT의 구조

NO.	구조	부호
1	게이트 절연막	게이트 절연막
2	게이트 절연막	게이트 절연막
3	게이트 절연막	게이트 절연막
4	게이트 절연막 + 게이트 절연막	게이트 절연막
5	게이트 절연막 + 게이트 절연막	게이트 절연막
6	게이트 절연막 + 게이트 절연막	게이트 절연막
7	게이트 절연막 + 게이트 절연막	게이트 절연막
8	게이트 절연막 + 게이트 절연막	게이트 절연막
9	게이트 절연막 + 게이트 절연막	게이트 절연막
10	게이트 절연막 + 게이트 절연막	게이트 절연막
11	게이트 절연막 + 게이트 절연막	게이트 절연막
12	게이트 절연막 + 게이트 절연막	게이트 절연막

<EIN = MOSTFTM LDD 구조 외>

(1) 100% 的 (2) 和 (3) 的 100% 的 (4) 和 (5) 的 100% 的 (6) 和 (7) 的 100% 的 (8) 和 (9) 的 100% 的 (10) 和 (11) 的 100% 的 (12) 和 (13) 的 100% 的 (14) 和 (15) 的 100% 的 (16) 和 (17) 的 100% 的 (18) 和 (19) 的 100% 的 (20) 和 (21) 的 100% 的 (22) 和 (23) 的 100% 的 (24) 和 (25) 的 100% 的 (26) 和 (27) 的 100% 的 (28) 和 (29) 的 100% 的 (30) 和 (31) 的 100% 的 (32) 和 (33) 的 100% 的 (34) 和 (35) 的 100% 的 (36) 和 (37) 的 100% 的 (38) 和 (39) 的 100% 的 (40) 和 (41) 的 100% 的 (42) 和 (43) 的 100% 的 (44) 和 (45) 的 100% 的 (46) 和 (47) 的 100% 的 (48) 和 (49) 的 100% 的 (50) 和 (51) 的 100% 的 (52) 和 (53) 的 100% 的 (54) 和 (55) 的 100% 的 (56) 和 (57) 的 100% 的 (58) 和 (59) 的 100% 的 (60) 和 (61) 的 100% 的 (62) 和 (63) 的 100% 的 (64) 和 (65) 的 100% 的 (66) 和 (67) 的 100% 的 (68) 和 (69) 的 100% 的 (70) 和 (71) 的 100% 的 (72) 和 (73) 的 100% 的 (74) 和 (75) 的 100% 的 (76) 和 (77) 的 100% 的 (78) 和 (79) 的 100% 的 (80) 和 (81) 的 100% 的 (82) 和 (83) 的 100% 的 (84) 和 (85) 的 100% 的 (86) 和 (87) 的 100% 的 (88) 和 (89) 的 100% 的 (90) 和 (91) 的 100% 的 (92) 和 (93) 的 100% 的 (94) 和 (95) 的 100% 的 (96) 和 (97) 的 100% 的 (98) 和 (99) 的 100% 的 (100) 和 (101) 的 100% 的 (102) 和 (103) 的 100% 的 (104) 和 (105) 的 100% 的 (106) 和 (107) 的 100% 的 (108) 和 (109) 的 100% 的 (110) 和 (111) 的 100% 的 (112) 和 (113) 的 100% 的 (114) 和 (115) 的 100% 的 (116) 和 (117) 的 100% 的 (118) 和 (119) 的 100% 的 (120) 和 (121) 的 100% 的 (122) 和 (123) 的 100% 的 (124) 和 (125) 的 100% 的 (126) 和 (127) 的 100% 的 (128) 和 (129) 的 100% 的 (130) 和 (131) 的 100% 的 (132) 和 (133) 的 100% 的 (134) 和 (135) 的 100% 的 (136) 和 (137) 的 100% 的 (138) 和 (139) 的 100% 的 (140) 和 (141) 的 100% 的 (142) 和 (143) 的 100% 的 (144) 和 (145) 的 100% 的 (146) 和 (147) 的 100% 的 (148) 和 (149) 的 100% 的 (150) 和 (151) 的 100% 的 (152) 和 (153) 的 100% 的 (154) 和 (155) 的 100% 的 (156) 和 (157) 的 100% 的 (158) 和 (159) 的 100% 的 (160) 和 (161) 的 100% 的 (162) 和 (163) 的 100% 的 (164) 和 (165) 的 100% 的 (166) 和 (167) 的 100% 的 (168) 和 (169) 的 100% 的 (170) 和 (171) 的 100% 的 (172) 和 (173) 的 100% 的 (174) 和 (175) 的 100% 的 (176) 和 (177) 的 100% 的 (178) 和 (179) 的 100% 的 (180) 和 (181) 的 100% 的 (182) 和 (183) 的 100% 的 (184) 和 (185) 的 100% 的 (186) 和 (187) 的 100% 的 (188) 和 (189) 的 100% 的 (190) 和 (191) 的 100% 的 (192) 和 (193) 的 100% 的 (194) 和 (195) 的 100% 的 (196) 和 (197) 的 100% 的 (198) 和 (199) 的 100% 的 (200) 和 (201) 的 100% 的 (202) 和 (203) 的 100% 的 (204) 和 (205) 的 100% 的 (206) 和 (207) 的 100% 的 (208) 和 (209) 的 100% 的 (210) 和 (211) 的 100% 的 (212) 和 (213) 的 100% 的 (214) 和 (215) 的 100% 的 (216) 和 (217) 的 100% 的 (218) 和 (219) 的 100% 的 (220) 和 (221) 的 100% 的 (222) 和 (223) 的 100% 的 (224) 和 (225) 的 100% 的 (226) 和 (227) 的 100% 的 (228) 和 (229) 的 100% 的 (230) 和 (231) 的 100% 的 (232) 和 (233) 的 100% 的 (234) 和 (235) 的 100% 的 (236) 和 (237) 的 100% 的 (238) 和 (239) 的 100% 的 (240) 和 (241) 的 100% 的 (242) 和 (243) 的 100% 的 (244) 和 (245) 的 100% 的 (246) 和 (247) 的 100% 的 (248) 和 (249) 的 100% 的 (250) 和 (251) 的 100% 的 (252) 和 (253) 的 100% 的 (254) 和 (255) 的 100% 的 (256) 和 (257) 的 100% 的 (258) 和 (259) 的 100% 的 (260) 和 (261) 的 100% 的 (262) 和 (263) 的 100% 的 (264) 和 (265) 的 100% 的 (266) 和 (267) 的 100% 的 (268) 和 (269) 的 100% 的 (270) 和 (271) 的 100% 的 (272) 和 (273) 的 100% 的 (274) 和 (275) 的 100% 的 (276) 和 (277) 的 100% 的 (278) 和 (279) 的 100% 的 (280) 和 (281) 的 100% 的 (282) 和 (283) 的 100% 的 (284) 和 (285) 的 100% 的 (286) 和 (287) 的 100% 的 (288) 和 (289) 的 100% 的 (290) 和 (291) 的 100% 的 (292) 和 (293) 的 100% 的 (294) 和 (295) 的 100% 的 (296) 和 (297) 的 100% 的 (298) 和 (299) 的 100% 的 (300) 和 (301) 的 100% 的 (302) 和 (303) 的 100% 的 (304) 和 (305) 的 100% 的 (306) 和 (307) 的 100% 的 (308) 和 (309) 的 100% 的 (310) 和 (311) 的 100% 的 (312) 和 (313) 的 100% 的 (314) 和 (315) 的 100% 的 (316) 和 (317) 的 100% 的 (318) 和 (319) 的 100% 的 (320) 和 (321) 的 100% 的 (322) 和 (323) 的 100% 的 (324) 和 (325) 的 100% 的 (326) 和 (327) 的 100% 的 (328) 和 (329) 的 100% 的 (330) 和 (331) 的 100% 的 (332) 和 (333) 的 100% 的 (334) 和 (335) 的 100% 的 (336) 和 (337) 的 100% 的 (338) 和 (339) 的 100% 的 (340) 和 (341) 的 100% 的 (342) 和 (343) 的 100% 的 (344) 和 (345) 的 100% 的 (346) 和 (347) 的 100% 的 (348) 和 (349) 的 100% 的 (350) 和 (351) 的 100% 的 (352) 和 (353) 的 100% 的 (354) 和 (355) 的 100% 的 (356) 和 (357) 的 100% 的 (358) 和 (359) 的 100% 的 (360) 和 (361) 的 100% 的 (362) 和 (363) 的 100% 的 (364) 和 (365) 的 100% 的 (366) 和 (367) 的 100% 的 (368) 和 (369) 的 100% 的 (370) 和 (371) 的 100% 的 (372) 和 (373) 的 100% 的 (374) 和 (375) 的 100% 的 (376) 和 (377) 的 100% 的 (378) 和 (379) 的 100% 的 (380) 和 (381) 的 100% 的 (382) 和 (383) 的 100% 的 (384) 和 (385) 的 100% 的 (386) 和 (387) 的 100% 的 (388) 和 (389) 的 100% 的 (390) 和 (391) 的 100% 的 (392) 和 (393) 的 100% 的 (394) 和 (395) 的 100% 的 (396) 和 (397) 的 100% 的 (398) 和 (399) 的 100% 的 (400) 和 (401)

도 218

<표시부 MOSTFET에 LDD 구조 설명>

표시부		S.L.D. 이온주입 조건	
구분	조건	구분	조건
1	가	28	가
2	가	29	가
3	가	30	가
4	가	31	가
5	가	32	가
6	가	33	가
7	가	34	가
8	가	35	가
9	가	36	가
10	가	37	가
11	가	38	가
12	가	39	가
13	가	40	가
14	가	41	가
15	가	42	가
16	가	43	가
17	가	44	가
18	가	45	가
19	가	46	가
20	가	47	가
21	가	48	가
22	가	49	가
23	가	50	가
24	가	51	가
25	가	52	가
26	가	53	가
27	가	54	가

도 298

<트시부 MOSTFTM LDD 구조 그림>

No.	트시부 구조 및 TFT의 TFT'S		트시부의 TFT	
	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
55	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
56	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
57	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
58	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
59	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
60	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
61	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
62	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
63	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
64	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
65	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
66	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
67	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
68	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
69	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
70	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
71	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
72	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
73	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
74	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
75	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
76	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
77	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
78	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
79	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
80	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT
81	트시부 구조 및 TFT'S	트시부의 TFT	트시부의 TFT	트시부의 TFT

도 2109

<트라이프 MOSTFET의 LDD 구조 설명>

NO.	트라이프 MOSTFET의 LDD 구조 설명		트라이프의 TFT	
	게이트 전압	드레인 전압	게이트 전압	드레인 전압
82	0V	0V	0V	0V
83	0V	0V	0V	0V
84	0V	0V	0V	0V
85	0V	0V	0V	0V
86	0V	0V	0V	0V
87	0V	0V	0V	0V
88	0V	0V	0V	0V
89	0V	0V	0V	0V
90	0V	0V	0V	0V
91	0V	0V	0V	0V
92	0V	0V	0V	0V
93	0V	0V	0V	0V
94	0V	0V	0V	0V
95	0V	0V	0V	0V
96	0V	0V	0V	0V
97	0V	0V	0V	0V
98	0V	0V	0V	0V
99	0V	0V	0V	0V
100	0V	0V	0V	0V
101	0V	0V	0V	0V
102	0V	0V	0V	0V
103	0V	0V	0V	0V
104	0V	0V	0V	0V
105	0V	0V	0V	0V
106	0V	0V	0V	0V
107	0V	0V	0V	0V
108	0V	0V	0V	0V

5070

<수치표 구성 원리: MOSTFT의 입력에 LDD 구조 적용>

TFT의 구조		TFT의 구조	
번호	구조	번호	구조
109	비이온화	110	비이온화
111	비이온화	112	비이온화
113	비이온화	114	비이온화
115	비이온화	116	비이온화
117	비이온화	118	비이온화
119	비이온화	120	비이온화
121	비이온화	122	비이온화
123	비이온화	124	비이온화
125	비이온화	126	비이온화
128	비이온화	129	비이온화
130	비이온화	131	비이온화
132	비이온화	133	비이온화
134	비이온화	135	비이온화

52171

A comparison of the MOSFET and the LDD gate stack

TFT		TFT	
NO.	제품명	제품명	NO.
156	메이플	메이플	156
157	메이플	메이플	157
158	메이플	메이플	158
159	메이플	메이플	159
160	메이플	메이플	160
161	메이플	메이플	161
162	메이플	메이플	162
163	메이플	메이플	163
164	메이플	메이플	164
165	메이플	메이플	165
166	메이플	메이플	166
167	메이플	메이플	167
168	메이플	메이플	168
169	메이플	메이플	169
170	메이플	메이플	170
171	메이플	메이플	171
172	메이플	메이플	172
173	메이플	메이플	173
174	메이플	메이플	174
175	메이플	메이플	175
176	메이플	메이플	176
177	메이플	메이플	177
178	메이플	메이플	178
179	메이플	메이플	179
180	메이플	메이플	180
181	메이플	메이플	181
182	메이플	메이플	182
183	메이플	메이플	183
184	메이플	메이플	184
185	메이플	메이플	185
186	메이플	메이플	186
187	메이플	메이플	187
188	메이플	메이플	188
189	메이플	메이플	189
190	메이플	메이플	190
191	메이플	메이플	191
192	메이플	메이플	192
193	메이플	메이플	193
194	메이플	메이플	194
195	메이플	메이플	195
196	메이플	메이플	196
197	메이플	메이플	197
198	메이플	메이플	198
199	메이플	메이플	199
200	메이플	메이플	200

도 272

△ 100mm 이하의 MOSTFET 및 100mm 이하의 MOSTFET의 구조 △

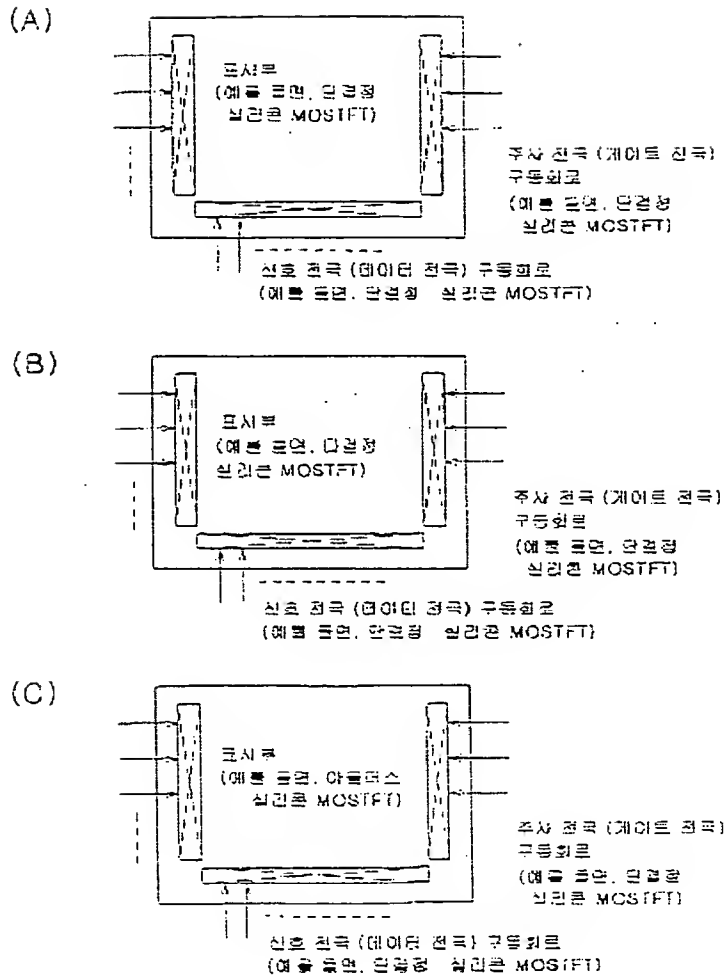
No.	MOSTFET의 구조			MOSTFET의 구조	
	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
163	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
164	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
165	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
166	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
167	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
168	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
169	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
170	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
171	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
172	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
173	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
174	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
175	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
176	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
177	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
178	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
179	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
180	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
181	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
182	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
183	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
184	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
185	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
186	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
187	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하
188	100mm 이하	100mm 이하	100mm 이하	100mm 이하	100mm 이하

도면 73

< 3층 건물 외벽부 및 포시부 MOSTFT와 포시부 MOSTFT 외벽에 LDD 구조 적용 >

NO.	부속 구조 외벽부 및 TFT'S		포시부 및 TFT	
	제어 구조	제어 구조	제어 구조	제어 구조
190	제어 구조	제어 구조	제어 구조	제어 구조
191	제어 구조	제어 구조	제어 구조	제어 구조
192	제어 구조	제어 구조	제어 구조	제어 구조
193	제어 구조	제어 구조	제어 구조	제어 구조
194	제어 구조	제어 구조	제어 구조	제어 구조
195	제어 구조	제어 구조	제어 구조	제어 구조
196	제어 구조	제어 구조	제어 구조	제어 구조
197	제어 구조	제어 구조	제어 구조	제어 구조
198	제어 구조	제어 구조	제어 구조	제어 구조
199	제어 구조	제어 구조	제어 구조	제어 구조
200	제어 구조	제어 구조	제어 구조	제어 구조
201	제어 구조	제어 구조	제어 구조	제어 구조
202	제어 구조	제어 구조	제어 구조	제어 구조
203	제어 구조	제어 구조	제어 구조	제어 구조
204	제어 구조	제어 구조	제어 구조	제어 구조
205	제어 구조	제어 구조	제어 구조	제어 구조
206	제어 구조	제어 구조	제어 구조	제어 구조
207	제어 구조	제어 구조	제어 구조	제어 구조
208	제어 구조	제어 구조	제어 구조	제어 구조
209	제어 구조	제어 구조	제어 구조	제어 구조
210	제어 구조	제어 구조	제어 구조	제어 구조
211	제어 구조	제어 구조	제어 구조	제어 구조
212	제어 구조	제어 구조	제어 구조	제어 구조
213	제어 구조	제어 구조	제어 구조	제어 구조
214	제어 구조	제어 구조	제어 구조	제어 구조
215	제어 구조	제어 구조	제어 구조	제어 구조
216	제어 구조	제어 구조	제어 구조	제어 구조

도면 74

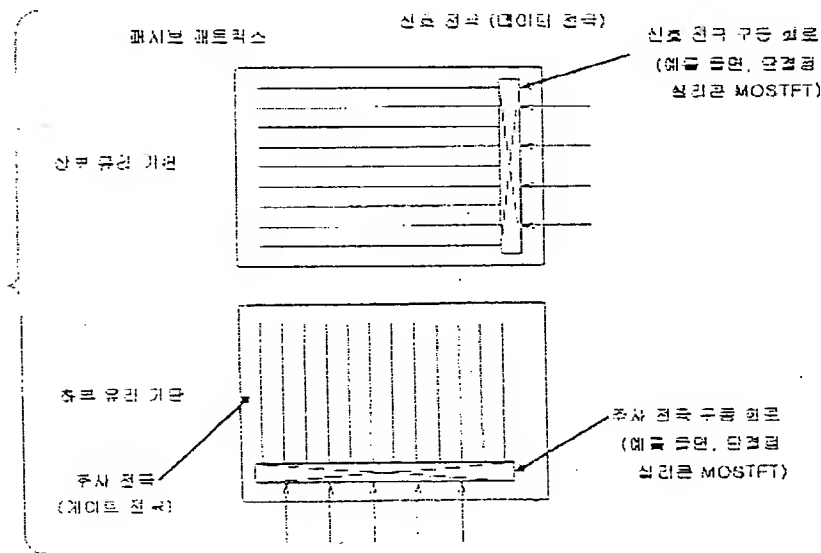


50.75

이승만 박사는 1945년 8월 15일

MCS51F 家族		
표시 기호	표시 기호	표시 기호
CMOS 회로 n 회로 CMOS 회로	CMOS 회로 n 회로 CMOS 회로	n 회로 CMOS 회로 CMOS
CMOS 회로 n 회로 CMOS 회로	CMOS 회로 n 회로 CMOS 회로	n 회로 CMOS 회로 CMOS
CMOS 회로 n 회로 CMOS 회로	CMOS 회로 n 회로 CMOS 회로	n 회로 CMOS 회로 CMOS

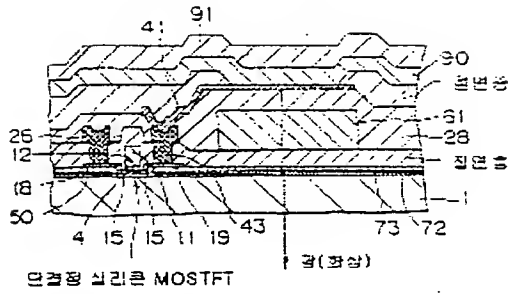
5078



도면 77

(A)

EL (액티브 매트릭스 구조의 예)



(B)

FED (패시브 매트릭스 구조의 예)

